

MATRIX TYPE LIQUID CRYSTAL DISPLAY DEVICE

Patent Number: JP8304762
Publication date: 1996-11-22
Inventor(s): KUDO YASUYUKI; MIYATA JUNICHI; INUZUKA TATSUHIRO; FURUHASHI TSUTOMU; FUTAMI TOSHIO
Applicant(s): HITACHI LTD;; HITACHI DEVICE ENG CO LTD;; HITACHI VIDEO IND INF SYST INC
Requested Patent: JP8304762
Application Number: JP19950114261 19950512
Priority Number(s):
IPC Classification: G02F1/133
EC Classification:
Equivalents:

Abstract

PURPOSE: To mitigate a frame response without increasing a frame frequency by switching a voltage level impressed on a liquid crystal and impressing an AC interpolating pulse during a non-selected period of driving liquid crystal.
CONSTITUTION: A control circuit 603, a divider circuit 609, a potential difference detection circuit 612 and an analog switch 614 and level shifters 616-618 shift signal levels provided in scanning drivers 622-624 so that they can be driven within the range of the breakdown strength of the scanning drivers 622-624. Here, for a period of time when a scanning electrode of a liquid crystal panel 626 is divided into three to be assigned to the three scanning drivers 622-624 and while one of the drivers is impressing the selection pulses, the other two drivers impress the interpolation pulses. Thus, as in the case of using a higher frequency for a frame frequency, the liquid crystal can be driven at a frequency of 60-70Hz, a frame response is mitigated and is improved in the contrast.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-304762

(43)公開日 平成8年(1996)11月22日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/133	5 5 0		G 0 2 F 1/133	5 5 0

審査請求 未請求 請求項の数 5 O L (全 31 頁)

(21)出願番号	特願平7-114261	(71)出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22)出願日	平成7年(1995)5月12日	(71)出願人	000233088 日立デバイスエンジニアリング株式会社 千葉県茂原市早野3681番地
		(71)出願人	000233136 株式会社日立画像情報システム 神奈川県横浜市戸塚区吉田町292番地
		(72)発明者	工藤 泰幸 神奈川県川崎市麻生区王禅時1099番地株式 会社日立製作所システム開発研究所内
		(74)代理人	弁理士 小川 勝男

最終頁に続く

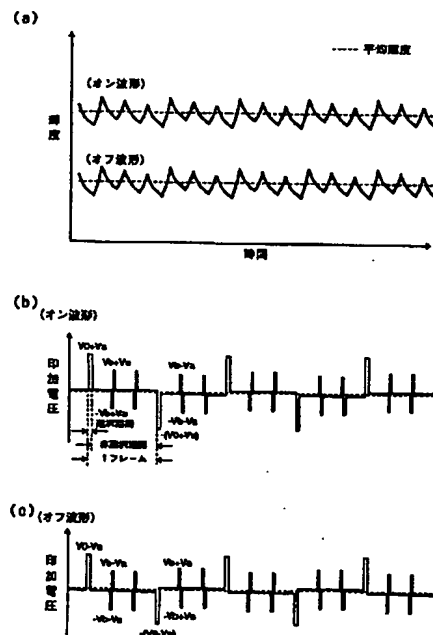
(54)【発明の名称】 マトリクス型液晶表示装置

(57)【要約】

【構成】高速応答液晶パネルにおいて、液晶駆動の非選択期間にフレームレスポンス緩和のための補間パルスを加する駆動方式を用いる。補間パルスは、液晶表示に影響を与えない交流補間パルスを用いた。また、本駆動法を従来の液晶ドライバを用いて実現するために、ドライバ駆動電圧を耐圧範囲内で設定させる駆動信号及び駆動電圧レベルシフト回路を採用した。

【効果】液晶駆動法を用いれば従来のフレーム周波数において、フレーム周波数の高周波数化と同等の効果が得られ、フレームレスポンスの緩和によるコントラスト上昇の効果、及び消費電力の緩和等の効果が得られる。

図1



【特許請求の範囲】

【請求項1】 データ電極と走査電極の交点に与えられる表示電圧と走査電圧の差の実効値で表示を行う液晶パネルと、前記走査電極を選択し前記選択した走査電極に選択電圧を1走査電極ずつ出力するm個の走査電極駆動手段と、表示データに対応した表示電圧を前記データ電極に出力するデータ電極駆動手段を備えた液晶表示装置において、

前記m個の走査電極駆動手段のうち、一つの走査電極駆動手段が走査選択電圧を1走査電極ずつ出力し、残りの(m-1)個の走査電極駆動手段から走査選択電圧とは異なる電圧パルスで1走査電極ずつ出力することを特徴とする液晶表示装置。

【請求項2】 請求項1において、

前記(m-1)個の走査電極駆動手段から、1走査電極ずつ出力される電圧パルスが、1/2走査選択期間毎に極性が反転する交流パルスである液晶表示装置。

【請求項3】 請求項1または2において、

前記m個の走査電極駆動手段に入力する走査電極駆動電圧および、駆動電圧信号を前記交流パルスの極性に同期し、電圧レベルをレベルシフトさせた液晶表示装置。

【請求項4】 請求項3に記載の前記走査電極駆動電圧及び駆動信号をレベルシフトさせる電圧変調手段を、1チップのLSIとした液晶表示装置。

【請求項5】 請求項3に記載の前記走査電極駆動電圧及び駆動信号をレベルシフトさせる電圧変調手段を、走査電極駆動手段に内蔵した液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は単純マトリクス型液晶表示装置に係り、特に高速応答液晶のSTN(Super Twisted Nematic)液晶でコントラスト低下の原因となるフレームレスポンス現象を低減する表示装置に関する。

【0002】

【従来の技術】 近年、単純マトリクス型の液晶表示ディスプレイでは、低粘度な液晶材料が開発され、高速応答化が図られている。しかし、高速応答化に伴いフレームレスポンスと呼ばれるコントラスト低下現象が生じる。この現象を図2を用いて説明する。図2は、高速応答液晶を単純マトリクス型の一般的な駆動法である電圧平均化法により、フレーム周波数60~70Hzで駆動した場合の光学応答波形と液晶印加電圧波形である。一般に液晶の透過率は印加される電圧の実効値で制御されており、印加される電圧波形は図2のようになる。つまり、表示オン、オフで波高値の異なるパルスが与えられる選択期間と、一定のバイアス電圧が与えられる非選択期間に分けられる。次に、この電圧波形と液晶の応答の関係を説明する。図2においてまず選択期間では、液晶には波高値の高い選択パルスが印加されるため、輝度もそれに

伴いオン波形、オフ波形各々の選択パルスに従った輝度まで上昇する。この場合、オン波形の選択パルスの方が、オフ波形の選択パルスより波高値が高いので輝度上昇も大きくなっている。次に、非選択期間になると、液晶には波高値の低いバイアス電圧が印加され、輝度は次の選択期間まで徐々に落ちていく。電圧平均化法では高速応答な液晶を用い、さらにフレーム周波数は60~70Hzと低周波数であるため、非選択期間における輝度の落ちかたが高周波数で駆動した場合に比べ急峻になり、平均輝度が低速応答液晶に比べ低くなる。この様にオン波形、オフ波形の平均輝度の低下現象を引き起こし、その結果として、オン波形、オフ波形の比であるコントラストを低下させるのが、フレームレスポンスである。

【0003】 このフレームレスポンスを改善するための液晶駆動法として、特開平4-57018号公報に記載の、フレーム周波数を80Hz以上300Hz以下にする駆動法がある。

【0004】

【発明が解決しようとする課題】 従来技術は液晶駆動のためのフレーム周波数を高くする為、消費電力が大きくなるという課題がある。

【0005】 従来技術は、実現手段として高周波駆動を可能とする液晶コントローラ、液晶ドライバを必要とするためコスト面で不利であり、単純マトリクス型液晶における低価格という長所を損なうという課題がある。

【0006】 従来技術は、フレーム周波数を高くしたことによりクロストークによる表示ムラが増加し、液晶の表示品質を低下させるという課題がある。

【0007】 本発明の目的は、フレーム周波数を上げず従来の、60~70Hzの周波数で駆動を行い、かつフレームレスポンスを緩和することにある。

【0008】

【課題を解決するための手段】 本発明は、上記課題を解決するために、従来の60~70Hzのフレーム周波数による液晶駆動を行い、液晶駆動の非選択期間において輝度低下を防ぐための電圧パルス(以後、補間パルスと呼ぶ)を複数回印加する方式である。また、この補間パルスは、表示データのオンとオフの違いで非選択期間の液晶印加電圧実効値が変動しない、すなわち、表示画面に影響しないことが条件である。そこで、1/2水平期間で極性を変えることとした。図3を用いてこの動作を説明する。図3は液晶印加電圧の補間パルス部分における、液晶印加電圧の実効値の一例を示したものである。図3において、まず補間パルスが交流補間パルスの場合を考える。交流補間パルスは1/2水平期間点において極性反転を行なう波形であり、液晶に印加される実効値は斜線部の面積で模式的に示されるので、この場合は表示データDがハイ(表示オンの場合)でもロウ(表示オフの場合)でも同一の面積、すなわち液晶印加電圧の実

効値が等しいことがわかる。これに対し、直流補間パルスの場合は表示データが異なると、液晶印加電圧の実効値が異なり、補間パルスにより表示に影響を及ぼしてしまうことがわかる。この様に、直流補間パルスではなく、交流補間パルスを用いることにより、表示に影響を及ぼさない補間パルスを印加することができる。この補間パルスを印加するシステムを考えた場合、補間パルスと選択パルスは電位が違う上に交流化駆動を行うため、従来の液晶ドライバでは両電位を同時に駆動できない。よって、本発明では液晶印加電圧レベルを切り替える電

【0009】

【作用】上記解決手段である補間パルス印加により、フレーム周波数の高周波数化と同様に、フレームレスポンスを緩和し、コントラストを上昇させることができる。

【0010】また、従来と同等のフレーム周波数を用いる事により、データ転送時の消費電力の増加を抑えることができる。

【0011】さらに、補間パルスの生成にあたり、液晶ドライバへ供給する電圧レベルを変化させる手段を備え付けることにより、従来の液晶ドライバをそのまま使用できるため、液晶表示装置のシステムコスト上昇を抑えることができる。

【0012】なお、補間パルスは1/2走査期間で極性を反転させるため、表示画面に影響しない。

【0013】

【実施例】以下、本発明の第1の実施例を図1、図4ないし図17により説明する。

【0014】まず、本実施例の動作概念を図1を用いて説明する。図1は、本発明の液晶駆動法を用いた場合の液晶印加電圧波形とその印加電圧による光学応答波形を示した図である。本実施例では、液晶に印加する電圧として、1フレーム期間内で走査電極から、選択期間（1フレーム中のある1水平期間）には波高値V0（交流反転時は-V0）の選択パルスを印加し、非選択期間では液晶表示には直接関係のない波高値Vbの交流補間パルスを数回（図1では2回）印加する。また、データ電極から、オン波形では-Va（交流反転時はVa）、オフ波形ではVa（交流反転時は-Va）のバイアス電圧を印加する。液晶には走査電極に与えた電圧とデータ電極に与えた電圧の差電圧が印加される為、例えば、オン波形の場合、選択期間にはV0+Vaの電圧が液晶に印加される。この様な印加電圧を液晶に与えた場合の、印加電圧と光学応答波形との関係を説明する。図1でまず選択期間では、液晶には波高値の高い選択パルスを印加するため、輝度もそれに伴いオン波形、オフ波形各々の選択パルスに従った輝度まで上昇する。この場合、オン波形の選択パルスの方が、オフ波形の選択パルスよりも波高値が高い、すなわち実効値が高いので輝度上昇も大きくなっている。次に、非選択期間になると、液晶には波

高値の低いバイアス電圧が印加され、輝度は次の選択期間まで徐々に落ちていく。しかし本実施例の駆動では次の選択期間が来る前に、非選択期間に波高値がバイアス電圧より高い交流補間パルスを数回印加するので、輝度もそれに伴い上昇する。つまり選択パルス、補間パルスを液晶に印加することにより、従来の技術のように選択パルスの周波数を高くしたのと同等の効果をを得ることができ、フレームレスポンスを緩和しコントラストを上昇させることが可能である。この様な選択パルス、補間パルスを発生するためのシステムを従来用いていた液晶ドライバを用いて構成すると、本実施例では選択パルスを交流化する駆動を用いるために、走査ドライバの駆動電圧範囲が50V以上となり従来ドライバの耐圧（例えば日立製ドライバの場合、37V程度）を越えてしまうこと、また走査側ドライバで、従来の選択パルス以外に波高値の異なる交流補間パルスを発生させるため、従来のドライバでは液晶印加電圧レベルを切り替える必要が生じることが問題となる。そこで本実施例では供給電圧レベル制御手段を用い、交流化信号の極性に依じて液晶ドライバ印加電圧範囲内でレベルシフトさせ切り替えることで、走査ドライバへの印加電圧範囲を従来と同等とした。また選択パルスと補間パルスの切り替えもこの供給電圧レベル制御手段を用いて対応することにした。

【0015】次に、本実施例のシステム構成を説明する。図4は本実施例のシステム構成図である。図4で、622、623、624は走査ドライバである。625はデータドライバ、626は液晶パネル、601は液晶コントロール信号を生成する液晶コントローラ、602は液晶コントロール信号、603は液晶コントロール信号602により走査ドライバを制御する制御信号を生成するコントロール回路、604は表示データ、605は表示データ604をデータドライバ625の仕様に合わせデコードを行うデコーダ、606はデコードした表示データ、607はデータドライバで交流化を行う交流化信号MX、608は制御信号である。609は液晶パネルを駆動するための基準となる電圧を生成する分圧回路、610、611は分圧回路により生成した基準電圧、612、614はレベルシフト電圧量を制御する回路であり、612は電位差の検出を行う電位差検出回路、614はコントロール回路603で生成した信号により電位差検出回路出力613を切り替えて出力するアナログスイッチ、615はレベルシフト量規定信号、616、617、618は電圧の加算を行うレベルシフタ、619、620、621はレベルシフタで生成した走査ドライバ駆動信号である。

【0016】最初に、システム構成の各構成部分の動作の説明をする。

【0017】まず走査ドライバ622ないし624の説明をする。走査ドライバとは液晶パネルの側面に設置され、液晶パネルの走査電極に液晶印加電圧を与える回路

である。選択パルスは液晶パネル上側の走査電極から1水平期間毎に下側の電極に順次シフトして印加されていく。本実施例では、走査電極を3分割し三つの走査ドライバを割り当て、一つのドライバが選択パルスを印加している期間、他の二つのドライバでは補間パルスの印加を行う方式を用いている。このため、FLM信号と呼ばれる走査ラインを基準に戻す信号も、1フレーム期間の1/3期間毎に1回ずつ発生することにする。このパルス数を増やしたFLM信号を基に、以下に述べる本実施例のシステム構成を用いて選択パルス、補間パルスを走査ドライバから与えていく。

【0018】次に、データドライバ625の説明をする。データドライバとは液晶パネルの上下面に設置され、液晶パネルのデータ電極に液晶印加電圧を与える回路である。一例として日立製HD66310を用いた場合、表示データは横方向に4ドット分をCL2により取り込み、1水平期間毎にCL1により1ライン分の表示データを液晶に印加する。この場合、データドライバに入力される表示データは、1ドットに対し3ビットの表示データとなり、計12ビットの表示データとなる。また、3ビットの表示データに対応した計8つのデータ駆動電圧レベルを入力し、表示データに従った電圧レベルをデータ電極に出力している。さらに表示データの反転機能RVS信号により画面表示の反転や、交流駆動を行っている。

【0019】次に、コントロール回路603の動作を説明する。図5は、コントロール回路603の入出力信号のタイミングチャートである。図5で、FLMは走査ラインを基準に戻す1フレーム周期のファーストラインマーク信号、CL1は駆動走査ラインのシフトを行うラインクロックであり1フレーム中にクロック数がN個(Nは走査ライン数)の信号である。CL2は表示データの取り込みのシフト動作を行うシフトクロックである。コントロール回路603では、これら3つの入力信号を用い以下の制御信号を作り出している。以下に、この制御信号の説明をする。まず、FLM'とは補間パルス駆動に対応しFLMのパルス数を走査ドライバ数分に増加した信号で、周期がN/D(Nは走査ライン数、Dは走査ドライバ数)の信号である。つぎにMDとは補間パルス信号を1/2水平期間毎に交流化する信号であり、1水平期間毎にCL2をカウントして生成する。このMDは1水平期間を均等に2等分されていなければならない。さもなければ、補間パルスを交流化した際、液晶印加電圧の非選択期間の実効値が表示データにより変動し表示に影響を与えてしまう。次にMF、MXとは液晶ドライバ用の交流化信号であり、MFは後述の走査ドライバ用の交流化信号YM1ないし3をデコードするための信号で、MXはデータドライバ用の交流化信号である。DS1ないし3は走査ドライバ1ないし3のドライバ選択信号であり、信号がロウで選択期間、ハイで非選択期間と

なる。DS1ないし3のロウ期間は1フレーム期間内で互いに重ならないようになっており、FLM'信号によりロウ期間を各ドライバ間でシフトしていく。YM1ないし3は走査ドライバに与える交流化信号でありDS1ないし3がロウでMF信号と同一な信号、DS1ないし3がハイ、MFがロウでMDと同一な信号、DS1ないし3がハイ、MFがハイでMDを反転させたものと同一な信号となる。

【0020】次に、分圧回路609の説明をする。図6に分圧回路609の電位図を示す。R1は固定抵抗、R2、R3は可変抵抗である。V1ないしV6は電圧平均化法の電圧レベルと同等であり、外部供給電圧VCCとVEEを抵抗分割した電圧である。また、V7は補間パルス生成用基準電圧であり、V3とV2間を可変抵抗で分圧したものである。ここで、各電圧の関係を示すと、VCCはV1、VEEはV2と同電位であり、V1とV6間、V6とV3間、V4とV5間、V5とV2間は同じ抵抗のR1で分圧しているため同電位となり、この電位差をバイアス電圧Vaとする。

【0021】次に、電位差検出回路612の説明をする。図7に電位差検出回路612のブロック図を示す。電位差検出回路612は図7に示すように901ないし903の3つの差動増幅器で構成され、各々分圧回路609から供給するV6とV5、V3とV7、V7とV2の電位差を検出して、電位差VS1、VS2、VS3として生成する。なお、このVS1、VS2、VS3の電位差を図6中に示す。

【0022】次に、アナログスイッチ614の説明をする。図8にアナログスイッチ614のブロック図を示す。これは同様に動作する9個のアナログスイッチ1001ないし1009で構成され、その各々はデジタル信号である制御信号に応じ、ハイの時はスイッチの実線で示されるハイレベル入力を、ロウの時は破線で示されるロウレベル入力を切り替えて出力するように動作している。図8で、アナログスイッチ1001を例に取り動作の説明を行う。アナログスイッチ1001で、MFは制御信号、VS1はハイレベル入力、GND(0V)はロウレベル入力である。MFがハイの時はハイレベル入力であるVS1を、MFがロウの時はロウレベル入力であるGNDを出力信号とする動作を行う。他のアナログスイッチも同様な動作を行う。なお、このアナログスイッチ614の動作を真理値表を用いて表すと、図9のようになる。ここで、実際に入力される制御信号MF、DS1ないし3、MDと出力信号VSH1、VSH2、VSH3、VSL1、VSL2、VSL3の波形を図10を用いて説明する。ここで、出力されるVSH1とVSL1は走査ドライバ1、VSH2とVSL2は走査ドライバ2、VSH3とVSL3は走査ドライバ3へ出力する信号をレベルシフトする際のレベルシフト量規定信号である。VSH1ないし3は各走査ドライバに与えるV1、

V6、VCC、GND、FLM'、CL1、YM1ないし3のレベルシフト量規定信号であり、またVSL1ないし3はV2、V5のレベルシフト量規定信号である。

【0023】次に、レベルシフト616ないし618を図11のブロック図により説明をする。レベルシフト616ないし618は同様なものであり、ここで言うレベルシフトとはレベルシフト量規定信号と入力信号の電位を加算し電位の変化制御を行なうものである。レベルシフト616を例に取って説明する。レベルシフト616は、入力信号V1、V6、CL1、FLM'、Vcc、GND、YM1をレベルシフト量規定信号VSH1によりレベルシフトを行なうレベルシフトH1301と入力信号V5、V2をレベルシフト量規定信号VSL1によりレベルシフトを行なうレベルシフトL1302にわかれる。図12に入力信号としてFLM'、レベルシフト量規定信号としてVSH1を用いたレベルシフトの加算波形例を示す。このように、Y1Dは入力信号FLM'とレベルシフト量規定信号VSH1を加算した出力となる。以上の様な動作を行なうレベルシフトを用い、規定されたレベルシフト量規定信号に従いレベルシフトを行なうことにより、走査ドライバ622、623、624を耐圧範囲内で駆動できるように対応を行なっているのが、レベルシフト616ないし618である。

【0024】次に、デコーダ605の説明をする。図13にデコーダ605のブロック図を示す。このデコーダは入力される表示データが4ビットであり、1501ないし1504はEOR素子である。デコーダ605では制御信号MXと表示データDのEOR論理をD'として出力する。

【0025】以上説明した各構成部分を用いた場合のシステム全体の動作を説明する。本発明では動作概念で述べたように走査ドライバの耐圧範囲内での駆動を可能とするため、走査ドライバに与える信号のレベルシフトを行う手段、つまり供給電圧レベル制御手段を設ける必要がある。よって、コントロール回路603、分圧回路609、電位差検出回路612、アナログスイッチ614、レベルシフト616ないし618を設置し供給電圧レベル制御手段とした。以下に、その動作を説明する。まずコントロール回路603では、液晶コントローラ601からFLM、CL1、CL2を取り込み、図5に示すYM1ないし3、FLM'、MD、MF、MX、DS1ないし3という制御信号を生成する動作を行う。次に、電位差検出回路612では、分圧回路609で分圧した各電圧を電位差VS1ないし3として取り出す。アナログスイッチ614はコントロール回路603で生成した制御信号MF、MD、DS1ないし3に従い、図9の真理値表に示す選択を行い、レベルシフト量規定信号VSH1ないし3、VSL1ないし3として生成する。次にレベルシフト616ないし618は、コントロール回路603で生成した制御信号FLM'、CL1、YM

1ないし3及び分圧回路609で生成した電圧V1、V2、V5、V6、VCC及びGNDを、各ドライバ毎に規定を行ったレベルシフト量規定信号VSH1ないし3、VSL1ないし3に従いレベルシフトを行う。この一連の動作により、走査ドライバ1にはレベルシフトされたY1D、Y1CL1、Y1M、Y1GND、Y1VCC、Y1V1、Y1V6、Y1V5、Y1V2の各信号が与えられる。以下、走査ドライバ2、走査ドライバ3も同様にレベルシフトされた制御信号が与えられる。

【0026】次に液晶ドライバの動作の説明をする。

【0027】まず走査ドライバの動作の説明をする。図14に走査ドライバ1における出力Y1および入力信号Y1M、Y1D、YCL1、制御信号DS1の波形概形図を示し、図15に、走査ドライバ622ないし624の動作真理値表を示す。Y1電極の電圧波形の説明をする。DS1信号のロウ期間に対応した期間つまり走査駆動期間では交流化信号Y1Mの値に従い、Y1Mがハイの時レベルVS1+Va、Y1Mがロウの時レベル(VS1+Va)が印加される。これは、従来の選択信号に準じた信号である。これに対し、DS1信号のハイ期間に対応した期間つまり補間駆動期間では選択されている1水平期間に、Y1Mがハイの時レベルVS2+Va、Y1Mがロウの時レベル(VS2+Va)が印加される。以上の動作を図15の真理値表に示す。ここでは説明上Y1について述べたがY2以降についても同様であり、この時のY1DはYCL1により1水平期間毎にシフトされたものである。

【0028】次に、データドライバ625の動作を説明する。図16に、データドライバ625の動作真理値表を示す。ここでは、データドライバとして、3ビットの表示データに対応し8レベルの電圧を出力するドライバを使用した例を考える。本実施例では、データドライバから印加する電圧として、バイアス電圧Va、-Vaの2レベルの電圧が必要であるので、8レベルの電圧のうち、V1とV0にVa、-Vaの電圧を設定し、データ3ビットのうち上位2ビットをロウに固定し、下位1ビットでV0、V1を選択することにした。また、他のV2ないしV7はここでは印加電圧として用いないためV1と同様な電圧設定とした。また、交流反転時のバイアス電圧の反転方法を次のようにした。まず、RVSに与える信号をハイに固定することで8レベル電圧と3ビットのデータの対応を固定する。次に図13に示したデコーダ605を用い、交流化信号MXと表示データDのEOR論理を出力信号をD'とする。このD'信号を、1画素3ビットの表示データ入力の下位1ビットに与えることにより交流反転時に、バイアス電圧を反転させることができる。

【0029】次に液晶に印加される電圧波形の説明をする。図17は走査電極印加電圧波形、データ電極印加電圧波形、液晶印加電圧波形である。液晶に印加される電

圧波形は、走査ドライバから液晶電極に印加される電圧とデータ電極より液晶電極に印加される電圧の差電圧で与えられる。例えば、表示がオン表示の場合選択期間に、走査電極には $VS1 + Va$ 、データ電極には $-Va$ の電圧が印加されるため、液晶印加電圧は、 $VS1 + 2Va$ の電圧が印加される事となる。この例に従い、同様な差電圧を取ると液晶印加電圧は図17のような波形となる。次に、液晶表示の輝度に影響を与える液晶印加電圧の実効値について考える。液晶印加電圧の実効値は図17の網かけ部の面積で模式的に示される。ここでは、補間パルス波形部の実効値に注目する。1走査期間目の最初の交流補間パルスの実効値は

【0030】

【数1】

(数1)

$$\sqrt{\frac{1}{2} \{-(VS2 + 2Va)^2 + VS2^2\}}$$

【0031】で示され、1走査期間目の2回目の交流補間パルスの実効値は

【0032】

【数2】

(数2)

$$\sqrt{\frac{1}{2} \{-VS2^2 + (VS2 + 2Va)^2\}}$$

【0033】で示される。この2つの交流補間パルスはデータ電極印加電圧が Va と $-Va$ で異なるにもかかわらず実効値は等しくなっており、液晶表示に影響を与えない補間パルスを印加できることがわかる。

【0034】以上のようなシステム構成及び動作により、本実施例1の交流補間パルス法による液晶駆動が実現できる。

【0035】次に、第2の実施例として、データドライバに従来の電圧平均化法によるドライバを用いた場合について図18ないし図27を用いて説明する。

【0036】まず、本実施例のシステム構成を説明する。図18は本実施例の、システム構成全体図である。図18において、622、623、624は走査ドライバである。626は液晶パネル、601は液晶コントロール信号を生成する液晶コントローラ、602は液晶コントロール信号、603は液晶コントロール信号602により走査ドライバを制御する駆動信号を生成するコントロール回路、604は表示データ、607はデータドライバで交流化を行う交流化信号MX、608は制御信号、610、611は分圧回路により生成した基準電圧

である。以上のシステム構成部分は第1の実施例と同様なものを用いる。また、2001は液晶パネルを駆動するための基準となる電圧を生成する分圧回路、2002、2004はレベルシフト電圧量を制御する回路であり、2002は電位差の検出を行う電位差検出回路、2004はコントロール回路603で生成した信号により電位差検出回路出力2003を切り替えて出力するアナログスイッチ、2005はレベルシフト量規定信号、2007~2009は電圧の加算を行うレベルシフタ、2011~2013はレベルシフタで生成した走査ドライバ駆動信号、2014は従来の電圧平均化法によるデータドライバである。これらは第1の実施例とは若干異なる。

【0037】最初に、システム構成の各構成部分で第1の実施例と異なる構成部分の動作の説明をする。

【0038】まず、分圧回路2001の説明をする。図19に分圧回路2001の電位図を示す。R1'は固定抵抗、R2'、R3'は可変抵抗である。V1'~V6'は電圧平均化法の電圧レベルと同等であり、外部供給電圧VCC'とVEE'を抵抗分割した電圧である。

また、V7'は補間パルス生成用基準電圧であり、V3'とV2'間を可変抵抗で分圧したものである。ここで、各電圧の関係を示すと、VCC'はV1'、VEE'はV2'と同電位であり、V1'とV6'間、V6'とV3'間、V4'とV5'間、V5'とV2'間は同じ抵抗のR1'で分圧しているため同電位となり、この電位差をバイアス電圧Va'とする。

【0039】次に、電位差検出回路2002の説明をする。図20に電位差検出回路2002のブロック図を示す。電位差検出回路2002は図20に示すように2201~2203の3つの差動増幅器、および2204~2206の3つの反転回路で構成される。差動増幅器2201~2203では、各々分圧回路2001から供給するV6'とV5'、V3'とV7'、V7'とV2'の電位差を検出して、電位差VS1'、VS2'、VS3'として生成する。なお、このVS1'、VS2'、VS3'の電位差を図19中に示す。また、反転回路2204~2206では、各々電位差VS1'、VS2'、VS3'を極性反転し、電位差-VS1'、-VS2'、-VS3'として生成する。

【0040】次に、アナログスイッチ2004の説明をする。図21にアナログスイッチ2004のブロック図を示す。これは同様に動作する11個のアナログスイッチ2301~2311で構成され、その各々はデジタル信号である制御信号に応じ、ハイの時はスイッチの実線で示されるハイレベル入力を、ロウの時は破線で示されるロウレベル入力を切り替えて出力するように動作している。このアナログスイッチ2004の動作を真理値表を用いて表すと、図22のようになる。ここで、実際に入力される制御信号MF、DS1~3、MDと出力信号V

SH1'、VSH2'、VSH3'、VSL1'、VSL2'、VSL3'の波形を図23を用いて説明する。ここで、出力されるVSH1'とVSL1'は走査ドライバ1、VSH2'とVSL2'は走査ドライバ2、VSH3'とVSL3'は走査ドライバ3へ出力する信号をレベルシフトする際のレベルシフト量規定信号である。VSH1'～3'は各走査ドライバに与えるV1'、V6'、VCC'、GND、FLM'、CL1、YM1～3のレベルシフト量規定信号であり、またVSL1'～3'は各走査ドライバに与えるV2'、V5'のレベルシフト量規定信号である。

【0041】次に、レベルシフタ2007～2009の説明をする。レベルシフタ2007～2009は第1の実施例で用いたレベルシフタ1、2、3と同様なもので、規定されたレベルシフト量規定信号に従い電圧のレベルシフト動作を行い、走査ドライバ622、623、624を耐圧範囲内で駆動できるように対応を行なっている。

【0042】次に、データドライバ2014の説明をする。第3の実施例で用いるデータドライバは、電圧平均化法によるデータドライバで（ここでは一例として日立製HD61104を用いる）、表示データを横方向に4ドット分をCL2により取り込み、1水平期間毎にCL1により1ライン分の表示データを液晶に印加する。第1、第2の実施例で用いたデータドライバ625との相違点としては、1ドットの表示に対して1ビット、計4ビットの表示データであること、交流化信号と表示データの組合せによって計4つのデータ駆動電圧レベルが必要であることが挙げられる。

【0043】以上説明した各構成部分を用いた場合のシステム全体の動作を説明する。本発明では動作概念で述べたように走査ドライバの耐圧範囲内での駆動を可能とするため、走査ドライバに与える信号のレベルシフトを行う手段、つまり供給電圧レベル制御手段を設ける必要がある。よって、コントロール回路603、分圧回路2001、電位差検出回路2002、アナログスイッチ2004、レベルシフタ2006～2009を設置し供給電圧レベル制御手段とした。以下に、その動作を説明する。まずコントロール回路603では、液晶コントローラ601からFLM、CL1、CL2を取り込み、図5に示すYM1～3、FLM'、MD、MF、MX、DS1～3という制御信号を生成する動作を行う。次に、電位差検出回路2002では、分圧回路2001で分圧した各電圧を電位差VS1'～3'、-VS1'～3'として取り出す。アナログスイッチ2004はコントロール回路603で生成した制御信号MF、MD、DS1～3に従い、図22の真理値表に示す選択を行い、レベルシフト量規定信号VSH1'～3'、VSL1'～3'、として生成する。次にレベルシフタ2007～2009は、コントロール回路603で生成した制御信号

FLM'、CL1、YM1～3及び分圧回路2001で生成した電圧V1'、V2'、V3'、V5'、V6'、VCC'及びGNDを、各ドライバ毎に規定を行ったレベルシフト量規定信号VSH1'～3'、VSL1'～3'に従いレベルシフトを行う。この一連の動作により、走査ドライバ1にはレベルシフトされたY1D'、Y1CL1'、Y1M'、Y1GND'、Y1VCC'、Y1V1'、Y1V6'、Y1V5'、Y1V2'の各信号が与えられる。以下、走査ドライバ2、走査ドライバ3も同様にレベルシフトされた制御信号が与えられる。また、データドライバには分圧回路2001よりV1'、V3'、V4'、V2'の各信号が与えられる。

【0044】次に液晶ドライバの動作の説明をする。

【0045】まず走査ドライバの動作の説明をする。図24に走査ドライバ1における出力Y1および入力信号Y1M'、Y1D'、Y1CL1'、コントロール信号DS1、MFの波形概形図を示し、図25に、走査ドライバ622～624の動作真理値表を示す。本実施例では交流反転時に液晶印加電圧の基準点を変動させるため、変動した基準点としてMFがロウの期間ではGND1、MFがハイの期間ではGND2で表すことにした。Y1電極の電圧波形の説明をする。Y1電極では図25の真理値表に示す様に、まずDS1信号のロウ期間に対応した期間つまり走査駆動期間では交流化信号Y1M'の値に従い、Y1M'がロウの時GND1に対してレベル(VS1'+Va')、Y1M'がハイの時GND2に対してレベルVS1'+Va'が印加される。これは、従来の選択信号に準じた信号である。これに対し、DS1信号のハイ期間に対応した期間つまり補間駆動期間では選択されている1水平期間に、MFがロウの場合、Y1M'がロウの時GND1に対してレベル(VS2'+Va')、Y1M'がハイの時GND1に対してレベルVS2'+Va'、またMFがハイの場合、Y1M'がロウの時GND2に対してレベル(VS2'+Va')、Y1M'がハイの時GND2に対してレベルVS2'+Va'が印加される。ここでは説明上、Y1について述べたがY2以降についても同様であり、この時のY1D'はCL1により1水平期間毎にシフトされたものである。

【0046】次に、データドライバ2014の動作の説明をする。図26に、本実施例のデータ電極印加電圧波形及び、制御信号MX、表示データDの波形図を示す。データドライバ2014では、データ駆動電圧レベルとしてV1を分圧回路2001で生成した基準電圧V1'に設定する。同様にV3をV3'に、V2をV2'に、V4をV4'に設定する。また、交流化信号として制御信号MXを用いる。この様な設定を行なった場合の動作は以下ようになる。まずMXがハイの場合、表示データDがハイの時データ電極にはV1に設定された基準電

13

圧 $V1'$ が印加され、表示データDがロウの時 $V3'$ が印加される。また、MXがロウの場合、表示データDがハイの時 $V2'$ が印加され、表示データDがロウの時 $V4'$ がデータ電極に印加される。分圧回路2001の基準電圧 $V6'$ をGND1、 $V5'$ をGND2と考えると、 $V1'$ はGND1に対して Va 、 $V3'$ はGND1に対して $-Va$ 、 $V4'$ はGND2に対して Va' 、 $V2'$ はGND2に対して $-Va$ となる。

【0047】次に液晶に印加される電圧波形の説明をする。図27は走査電極印加電圧波形、データ電極印加電圧波形、液晶印加電圧波形である。液晶に印加される電圧波形は、走査ドライバから液晶電極に印加される電圧とデータ電極より液晶電極に印加される電圧の差電圧で与えられる。例えば、表示をオン表示とした場合、最初*

(数3)

$$\sqrt{\frac{1}{2} \{ -(VS2' + 2Va')^2 + VS2'^2 \}}$$

【0049】で示され、1走査期間目の2回目の交流補間パルスの実効値は

(数4)

※【0050】

※【数4】

$$\sqrt{\frac{1}{2} \{ -VS2'^2 + (VS2' + 2Va')^2 \}}$$

【0051】で示される。この2つの交流補間パルスはデータ電極印加電圧が Va' と $-Va'$ で異なるにもかかわらず実効値は等しくなっており、液晶表示に影響を与えない補間パルスを印加できることがわかる。

【0052】以上のようなシステム構成及び動作により、本実施例2の電圧平均化法による交流補間パルス法液晶駆動が実現できる。

【0053】以下、本発明の第3の実施例を図28ないし図33により説明する。

【0054】本実施例は、データドライバとして電圧平均化法によるドライバを用いた第2の実施例の交流補間パルス駆動法において、データドライバとして第1の実施例で用いた、8レベル出力のデータドライバ625を用いた場合である。

【0055】まず、本実施例のシステム構成を説明する。図28は本実施例の、システム構成全体図である。図28において、622、623、624は走査ドライバである。625はデータドライバ、626は液晶パネル、601は液晶コントロール信号を生成する液晶コントローラ、602は液晶コントロール信号、603は液晶コントロール信号602により走査ドライバを制御する駆動信号を生成するコントロール回路、604は表示

データ、605は表示データ604をデータドライバ625の仕様に合わせデコードを行うデコード、606はデコードした表示データ、607はデータドライバで交流化を行う交流化信号MX、608は制御信号、610、611は分圧回路により生成した基準電圧である。以上のシステム構成部分は第1の実施例と同様なものを用いる。また、2001は液晶パネルを駆動するための基準となる電圧を生成する分圧回路、2002は電位差の検出を行う電位差検出回路、2007~2009は電圧の加算を行うレベルシフタ、2011~2013はレベルシフタで生成した走査ドライバ駆動信号である。以上のシステム構成部分は第2の実施例と同様なものを用いる。3001はコントロール回路603で生成した信号により電位差検出回路出力2003を切り替えて出力するアナログスイッチ、3002はレベルシフト量規定信号、3003はレベルシフタ、3004はレベルシフタで生成したデータドライバ駆動信号である。これらは第1、第2の実施例とは若干異なる。

【0056】最初に、システム構成の各構成部分で第1、第2の実施例と異なる構成部分の動作の説明をする。

【0057】まず、アナログスイッチ3001の説明を

する。図29にアナログスイッチ3001のブロック図を示す。これは同様に動作する12個のアナログスイッチ3101~3112で構成され、その各々はデジタル信号である制御信号に応じ、ハイの時はスイッチの実線で示されるハイレベル入力を、ロウの時は破線で示されるロウレベル入力を切り替えて出力するように動作している。このアナログスイッチ3001の動作を真理値表を用いて表すと、図30のようになる。ここで、実際に入力される制御信号MF、DS1~3、MDと出力信号VSH1'、VSH2'、VSH3'、VSL1'、VSL2'、VSL3'、VSXの波形を図31を用いて説明する。ここで、出力されるVSH1'とVSL1'は走査ドライバ1、VSH2'とVSL2'は走査ドライバ2、VSH3'とVSL3'は走査ドライバ3へ出力する信号をレベルシフトする際のレベルシフト量規定信号である。VSH1'~3'は各走査ドライバに与えるV1'、V6'、VCC'、GND、FLM'、CL1、YM1~3のレベルシフト量規定信号であり、またVSL1'~3'は各走査ドライバに与えるV2'、V5'のレベルシフト量規定信号であり、VSXはデータドライバに与えるV1'、V3'のレベルシフト量規定信号である。

【0058】次に、レベルシフタ3003の説明をする。レベルシフタ3003は図32に示すような構成となり、入力信号V1'、V3'にレベルシフト量規定信号VSXを加算し、XV1、XV3として出力するような動作を行っている。このレベルシフタ3003をレベルシフタ4と呼ぶ。

【0059】以上説明した各構成部分を用いた場合のシステム全体の動作を説明する。本発明では動作概念で述べたように走査ドライバの耐圧範囲内での駆動を可能とするため、走査ドライバに与える信号のレベルシフトを行う手段、つまり供給電圧レベル制御手段を設ける必要がある。よって、コントロール回路603、分圧回路2001、電位差検出回路2002、アナログスイッチ3001、レベルシフタ2007~2009、3003を設置し供給電圧レベル制御手段とした。以下に、その動作を説明する。まずコントロール回路603では、液晶コントローラ601からFLM、CL1、CL2を取り込み、図5に示すYM1~3、FLM'、MD、MF、MX、DS1~3という制御信号を生成する動作を行う。次に、電位差検出回路2002では、分圧回路2001で分圧した各電圧を電位差VS1'~3'、-VS1'~3'として取り出す。アナログスイッチ3001はコントロール回路603で生成した制御信号MF、MD、DS1~3に従い、図30の真理値表に示す選択を行い、レベルシフト量規定信号VSH1'~3'、VSL1'~3'、VSXとして生成する。次にレベルシフタ2007~2009、3001は、コントロール回路603で生成した制御信号FLM'、CL1、YM1~

3及び分圧回路2001で生成した電圧V1'、V2'、V3'、V5'、V6'、VCC'及びGNDを、各ドライバ毎に規定を行ったレベルシフト量規定信号VSH1'~3'、VSL1'~3'、VSXに従いレベルシフトを行う。この一連の動作により、走査ドライバ1にはレベルシフトされたY1D'、Y1CL1'、Y1M'、Y1GND'、Y1VCC'、Y1V1'、Y1V6'、Y1V5'、Y1V2'の各信号が与えられる。以下、走査ドライバ2、走査ドライバ3も同様にレベルシフトされた制御信号が与えられる。また、データドライバにはXV1'、XV3'の各信号が与えられる。

【0060】次に液晶ドライバの動作の説明をする。

【0061】まず走査ドライバの動作は、本実施例では第2の実施例と同様な動作となるので省略する。次に、データドライバの動作の説明をする。本実施例では、交流反転時に液晶印加電圧の基準点を変動させるため、バイアス電圧の基準点もレベルシフタ4において、レベルシフト量規定信号VSXを用いレベルシフトさせる。この、レベルシフトを行ったXV1'をデータドライバの電圧レベルV1~V7に、XV3'をデータドライバの電圧レベルV0に設定をすれば、第1の実施例におけるデータドライバの設定及びデコード605をそのまま用いることができ、データ電極には図33に示すように第2の実施例と同様な電圧が印加される。

【0062】以上のようなシステム構成及び動作により、交流補間パルス法による液晶駆動が実現できる。

【0063】次に、第4の実施例として、第1の実施例の液晶駆動法において交流周期をフレーム周期以外にした場合について図34を用いて説明をする。

【0064】図34は走査ドライバにおける出力Y1および入力信号Y1M、Y1D、Y1CL1、コントロール信号DS1、MFの波形概形、走査電極印加電圧波形、データ電極印加電圧波形、液晶印加電圧波形である。ここでは、1例として交流周期を2/3フレーム周期にした場合を考える。液晶に印加される電圧波形は、走査ドライバから液晶電極に印加される電圧とデータ電極より液晶電極に印加される電圧の差電圧で与えられる。例えば、表示がオン表示の場合、最初の1水平期間を例に取ると、走査電極にはVS1+Va、データ電極には-Vaの電圧が印加されるため、液晶印加電圧としては、VS1+2Vaの電圧が印加される事となる。この例に従い、同様な差電圧を取ると液晶印加電圧は図34のような波形となる。次に、液晶表示の輝度に影響を与える液晶印加電圧の実効値について考える。液晶印加電圧の実効値は図34の網かけ部の面積で模式的に示される。ここでは、補間パルス波形部の実効値に注目する。1走査期間目の最初の交流補間パルスの実効値は

【0065】

【数5】

(数5)

$$\sqrt{\frac{1}{2} \{ - (VS2 + 2Va)^2 + VS2^2 \}}$$

【0066】で示され、1走査期間目の2回めの交流補間パルスの実効値は

【0067】

【数6】

(数6)

$$\sqrt{\frac{1}{2} \{ VS2^2 - (VS2 + 2Va)^2 \}}$$

【0068】で示される。この2つの交流補間パルスは交流周期を2/3フレームにしたにもかかわらず実効値は等しくなっている。この様に、交流周期は1水平期間が最小単位となるので、交流補間パルスは交流周期に係らず1/2水平期間毎に必ず交流駆動を行い、その結果液晶表示に影響を与えない補間パルスを印加できることがわかる。

【0069】また、第2、第3の実施例にも、交流周期をフレーム周期以外に変える方法は適用できる。

【0070】次に、第5の実施例として、第1の実施例におけるシステム構成をロジック部と走査ドライバ制御部の2つのLSIを用いて構成する方法について図35を用いて説明する。

【0071】図35は本実施例のシステム構成図である。3701は液晶コントロール信号602、コントロール回路603、表示データ604、デコーダ605、デコードした表示データ606、交流化信号607、制御信号608と同等な機能を持つロジックLSIである。この3701は本実施例のシステム構成中で、主にデジタル系の回路で構成した。次に、走査ドライバ制御LSI3702について説明する。3702は基準電圧611、電位差検出回路612、電位差検出回路出力613、アナログスイッチ614、レベルシフト量規定信号616、617、618、走査ドライバ駆動信号619、620、621と同等な機能を持つLSIである。3702は本実施例のシステム構成中で、主にアナログ系の回路で構成した。以上の2つのロジックLSI3701、走査ドライバ制御LSI3702を用いることにより、第1の実施例のシステム構成をより省スペースで実現できる。なお、液晶コントローラ601と同等な機能をロジックLSI3701に組み込むことも可能である。

【0072】また、第2、第3の実施例にも、LSIを用いてシステムを構成する方法は適用できる。

(10)

特開平8-304762

18

【0073】次に、第6の実施例として、第1の実施例において走査ドライバとして8レベルの選択レベル電圧をもつ、液晶ドライバを用いた場合について説明する。

【0074】まず、本実施例のシステム構成について図36ないし図41を用いて説明する。図36は本実施例のシステム構成図である。図36において625はデータドライバ、626は液晶パネル、601は液晶コントロール信号を生成する液晶コントローラ、602は液晶コントロール信号、603は液晶コントロール信号602により走査ドライバを制御する制御信号を生成するコントロール回路、604は表示データ、605は表示データ604をデータドライバ625の仕様に合わせデコードを行うデコーダ、606はデコードした表示データ、607はデータドライバで交流化を行う交流化信号MX、608は制御信号である。以上の構成部分は第1の実施例と同様な構成部分である。また、3801、3802、3803は8レベルの選択レベル電圧を持つ走査ドライバである。本実施例では一例として、8レベルの選択レベル電圧をもつ液晶ドライバとして、第1の実施例において、データドライバ625として用いた日立製HD66310を走査ドライバとして用いる。3804は液晶パネルを駆動するための基準となる電圧を生成する分圧回路、3805、3808は分圧回路3804により生成した基準電圧、3806は後述のSS3~0信号の生成を行うデコーダB、3807はSS3~0信号である。

【0075】まず、システム構成の各構成部分の説明をする。

【0076】最初に、分圧回路3804の説明をする。図37に分圧回路3804の電位図を示す。Ra、Rcは固定抵抗、R0、Rbは可変抵抗である。R0、Rbはそれぞれ2個あり、各々が連動して動作し、それぞれのR0、Rbは全く同じ抵抗値になる。Vgdは液晶印加電圧の基準電圧である。また、V0、-V0は選択パルス電圧、Vb、-Vbは補間パルス電圧、Va、-Vaはバイアス電圧であり、それぞれのVgdから見た絶対値は等しくなる。これらの電圧は外部供給電圧VC、VEを抵抗分割した電圧である。

【0077】次に、デコーダ3806の説明をする。図38に、デコーダ3806の動作タイミング図を示す。デコーダ3806では、コントロール回路603から制御信号FLM'、液晶コントローラ601からコントロール信号CL1、CL2を取り込み、図38に示すような、SS3~SS0信号を生成する。このSS3~SS0信号は図39の走査ドライバ入力信号対応表に示すように、3つの走査ドライバの12ビットの取り込みデータD20~D23の4ビットに与える。

【0078】以上説明した各構成部分を用いた場合のシステム全体の動作を説明する。まずコントロール回路603では、液晶コントローラ601からFLM、CL

1、CL2を取り込み、図5に示すYM1~3、FLM'、MD、MF、MX、DS1~3という制御信号を生成する動作を行う。次に、分圧回路3804では、基準電圧V0、-V0、Vb、-Vb、Va、-Va、Vgdを生成する。この各基準電圧を、図40の走査ドライバ選択レベル電圧対応表に示す様に、V0~V3にVgd、V4に-V0、V5にV0、V6に-Vb、V7にVbを与える。また、データドライバ625のV0に-Va、V1~V7にVaを与える。次にデコーダB3806では、コントロール回路603から制御信号FLM'、液晶コントローラ601からコントロール信号CL1、CL2を取り込み、図38に示すような、SS3~SS0信号を生成する。このSS3~SS0信号は図39の走査ドライバ入力信号対応表に示すように、3つの走査ドライバの12ビットの取り込みデータD20~D23の4ビットに与える。また、コントロール回路603から、制御信号YM1~3を3つの走査ドライバの各々のD00~D03に、DS1~3を3つの走査ドライバの各々のD10~D13に与える。次に走査ドライバ3801、3802、3803の説明をする。本実施例では走査側ドライバに、8レベルドライバを用いているので、走査ドライバに与える信号として、図39に示すように12ビットの取り込みデータ、図40に示すように8レベルの選択電圧が必要となる。また、駆動電圧の出力タイミング信号としてCL1、表示データの取り込みクロックとしてCL2を与える。以上の信号を走査ドライバに与えることにより、図41に示す、第1の実施例と同様な走査電極印加電圧を得ることができる。以下に、動作の一例を示す。まず、図41において最初の1水平期間に注目する。D00~D03には、YM1がハイであるのでハイが設定され、D10~D13には、DS1がロウであるのでロウが設定される。また、図38に示すように最初の1水平期間には、Y1出力にあたるSS3はハイとなるので、D23にもハイが設定される。以上設定された、D03、D13、D23と選択レベルの対応をみると、選択レベルV5、つまり設定電圧V0が印加される。他の期間も同様な動作を行う。また、データドライバは第1の実施例と同様な動作を行う。

【0079】以上のようなシステム構成及び動作により、本実施例の8レベルの選択レベル電圧をもつ液晶ドライバを走査ドライバとして用いた場合、第1の実施例のような駆動電圧及び駆動信号の電圧レベルシフト回路を必要とせず、交流補間パルス法による液晶駆動が実現できる。

【0080】また、本実施例の8レベルの選択レベル電圧をもつ液晶ドライバを走査ドライバとして用いた場合の交流補間パルス法による液晶駆動法は第2、第3の実施例にも適用できる。

【0081】以上、第1ないし第6の実施例では走査ド

ライバおよびデータドライバとして既存のものをを用いたシステム構成としたが、第7の実施例として、交流補間パルス駆動法を実現する走査ドライバ、データドライバを新規開発した場合について説明する。ここでは第1の実施例における交流補間パルス駆動を実現する走査ドライバ、データドライバについて図42を用いて説明する。

【0082】図42は第7の実施例のシステム構成図である。図42において、601は液晶コントロール信号を生成する液晶コントローラ、602は液晶コントロール信号、604は表示データ、609は液晶パネルを駆動するための基準となる電圧を生成する分圧回路、610、611は分圧回路により生成した基準電圧、626は液晶パネルである。以上の構成部分は第1の実施例と同様な構成部分である。また、4401、4402は新規の走査ドライバ、データドライバである。

【0083】走査ドライバ4401は、第5の実施例で説明した走査ドライバ制御LSI3702、コントロール回路603、走査ドライバ622、623、624と同等の機能を持つ構成部分を組み込んだものである。また、データドライバ4402はロジックLSI3701、データドライバ625と同等の機能を持つ構成部分を組み込んだものである。これらの走査ドライバ4401、データドライバ4402を用いて、図42の様なシステムを構成すれば、従来の液晶駆動法に準じた液晶コントローラ601、分圧回路609を外部に構成するだけで、第1の実施例の交流補間パルス法による液晶駆動法が実現できる。

【0084】また、第2、第3、第6の実施例についても、同様に新規ドライバを用いても構わない。

【0085】次に、交流補間パルスを印加した場合と印加しない場合の印加電圧実効値と表示輝度の関係を図43を用いて示す。図43に示すように、交流補間パルスを印加した場合と印加しない場合を比較すると、交流補間パルスを印加した場合のほうが印加電圧実効値に対する表示輝度の変化が急俊になり、また、コントラストは交流補間パルスを印加しないときのコントラスト1に対し、交流補間パルスを印加したときはコントラスト2となり、交流補間パルスを印加したときの方がコントラストが高くなる。しかし、交流補間パルスを印加した場合、表示オンの液晶印加電圧が図43のようにA点からB点へ低下する。この理由を説明する。まず、交流補間パルスを印加しない場合の1フレームでのオン波形Von、オフ波形Voffの実効値はそれぞれ数7で表される。V0は選択パルス電圧、Vaはバイアス電圧、Nは液晶駆動ライン数である。

【0086】

【数7】

21
(数7)

$$V_{on} = \sqrt{\frac{(V_0 + V_a)^2 + (N-1) V_a^2}{N}}$$

$$V_{off} = \sqrt{\frac{(V_0 - V_a)^2 + (N-1) V_a^2}{N}}$$

(数8)

$$X = (N-1) V_a^2$$

$$V_{on} - V_{off} = \sqrt{\frac{4V_0V_a}{N} - \frac{1}{N} \sqrt{\{(V_0 + V_a)^2 + X\} \{(V_0 - V_a)^2 + X\}}}$$

【0089】また、補間パルス1フレームに1回印加した場合のオン波形 V_{on}' 、オフ波形 V_{off}' の実効値はそれぞれ数9で表される。 V_b は交流補間パルス※
(数9)

※電圧である。

【0090】

【数9】

$$V_{on}' = \sqrt{\frac{(V_0 + V_a)^2 + (N-2) V_a^2 + \frac{1}{2} \{(V_b - V_a)^2 + (V_b + V_a)^2\}}{N}}$$

$$V_{off}' = \sqrt{\frac{(V_0 - V_a)^2 + (N-2) V_a^2 + \frac{1}{2} \{(V_b - V_a)^2 + (V_b + V_a)^2\}}{N}}$$

【0091】また、数9中の分子第2項をYとおくと、★【0092】
オン波形、オフ波形の実効値差 $V_{on}' - V_{off}'$ は 30 【数10】
数10で表される。★

(数10)

$$Y = (N-2) V_a^2 + \frac{1}{2} \{(V_b - V_a)^2 + (V_b + V_a)^2\}$$

$$V_{on}' - V_{off}' = \sqrt{\frac{4V_0V_a}{N} - \frac{1}{N} \sqrt{\{(V_0 + V_a)^2 + Y\} \{(V_0 - V_a)^2 + Y\}}}$$

【0093】いま、補間パルス電圧 V_b はバイアス電圧 V_a より高く設定するので、YはXより大きくなり、その結果数10の第二式はYより小さくなり、交流補間パルスを印加した場合にはオン波形、オフ波形の実効値差が小さくなる事がわかる。このため、表示オフを基準にした場合表示オンの印加電圧は小さくなり表示オンの液晶印加電圧がA点からB点へ低下する。この現象により、コントラストは図43の様にコントラスト2からコントラスト3へ落ちるが、コントラスト1とコントラスト3を比較するとコントラスト3の方が大きい結果としてコントラスト上昇の効果を得ることができる。また、フレーム周波数を上げない駆動のため、従来技術のようなデータ転送による消費電力の増加を抑えることが

できる。

【0094】

40 【発明の効果】本発明の交流補間パルスを印加する液晶駆動法を用いれば、従来のフレーム周波数による駆動において、フレーム周波数の高周波数化と同等な効果が得られる。つまり、高速応答液晶においてもフレームレスポンスを緩和し、コントラストを上昇させることができる。

【0095】また、フレーム周波数を上げない駆動のため、従来技術のようなデータ転送による消費電力の増加を抑えることができる。

【図面の簡単な説明】

50 【図1】第1の実施例の液晶駆動法における光学応答波

形と液晶印加電圧波形図。

【図2】高速応答液晶を、フレーム周波数60～70Hzで駆動した場合の光学応答波形と液晶印加電圧波形図。

【図3】交流補間パルスの液晶印加電圧実効値を表した説明図。

【図4】第1の実施例のシステムのブロック図。

【図5】コントロール回路603における入出力信号のタイミングチャート。

【図6】分圧回路609の基準電圧図。

【図7】電位差検出回路612のブロック図。

【図8】アナログスイッチ614のブロック図。

【図9】アナログスイッチ614の動作真理値の説明図。

【図10】アナログスイッチ614の出力信号波形図。

【図11】レベルシフタ616～618のブロック図。

【図12】レベルシフタ616～618の動作波形図。

【図13】デコーダ605のブロック図。

【図14】第1の実施例における、走査ドライバ1の出力Y1および入力信号Y1M、Y1D、Y1CL1、制御信号DS1の波形図。

【図15】走査ドライバ622～624の動作真理値の説明図。

【図16】データドライバ625の動作真理値の説明図。

【図17】第1の実施例における電圧波形図。

【図18】第2の実施例のシステムのブロック図。

【図19】分圧回路2001の電位説明図。

【図20】電位差検出回路2002のブロック図。

【図21】アナログスイッチ2004のブロック図。

【図22】アナログスイッチ2004の動作真理値の説明図。

【図23】アナログスイッチ2005の出力信号波形図。

【図24】第2の実施例における、走査ドライバ1の出力Y1および入力信号Y1M'、Y1D'、Y1CL1'、制御信号DS1、MFの波形図。

【図25】走査ドライバ622～624の動作真理値の説明図。

【図26】データ電極印加電圧波形、制御信号MX、表示データDの波形図。

【図27】第2の実施例における電圧波形図。

【図28】第3の実施例のシステムのブロック図。

【図29】アナログスイッチ3001のブロック図。

【図30】アナログスイッチ3001の動作真理値の説明図。

【図31】アナログスイッチ3001の出力信号波形図。

【図32】レベルシフタ3003のブロック図。

【図33】データ電極印加電圧波形、制御信号MX、表示データDの波形図。

【図34】第4の実施例における、走査電極印加電圧波形、データ電極印加電圧波形、液晶印加電圧波形、及び走査ドライバ入力信号Y1M、Y1D、Y1CL1、制御信号DS1、MFの波形概形図。

【図35】第5の実施例のシステムのブロック図。

【図36】第6の実施例のシステムのブロック図。

【図37】分圧回路3804の電位図。

【図38】コントロール信号CL1、CL2、制御信号FLM'、SS0～SS3信号波形図。

【図39】走査ドライバ入力信号対応の説明図。

【図40】選択レベル電圧対応の説明図。

【図41】第6の実施例における、走査ドライバ1の出力Y1および入力信号CL1、制御信号YM1、DS1、FLM'の波形図。

【図42】第7の実施例のシステムのブロック図。

【図43】補間電圧を印加した場合と印加しない場合の、印加電圧実効値と表示輝度の関係の説明図。

【符号の説明】

601…液晶コントローラ、
602…液晶コントロール信号、
603…コントロール回路、
604…表示データ、
605…デコーダ、
606…デコードした表示データ、
607…交流化信号MX、
608…制御信号、
609…分圧回路。

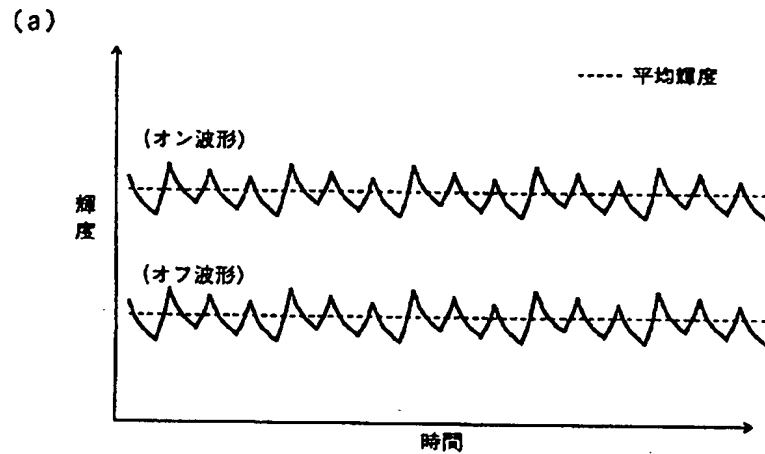
【図25】

図25

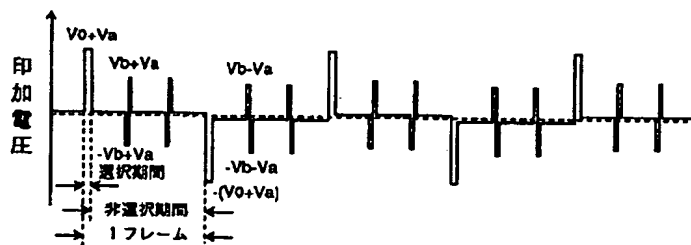
DS1-3	0				1			
Y1M-Y2M	0				1			
GND	0 (GND1)				-VS1' (GND2)			
Y1D'	0	1	0	1	0	1	0	1
Y1	0	-[VS1'+V _{th}]	0	VS1'+V _{th}	0	-[VS2'+V _{th}]	0	VS2'+V _{th}

【図1】

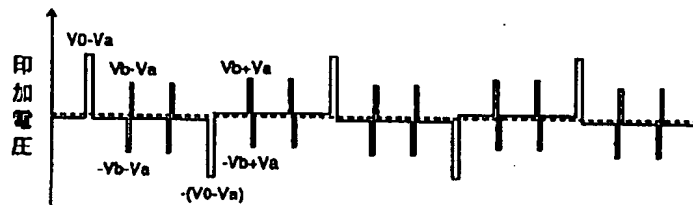
図1



(b) (オン波形)

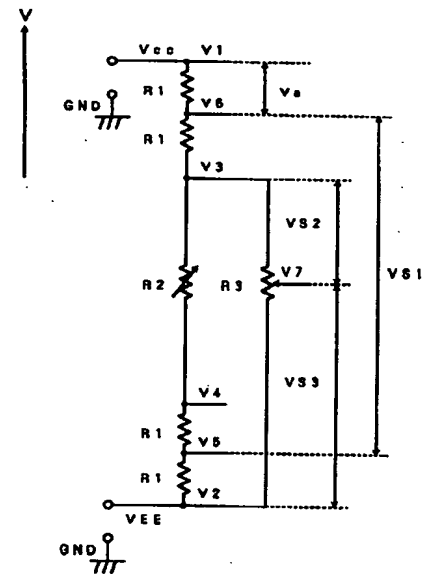


(c) (オフ波形)



【図6】

図6



【図9】

図9

制御信号	DS1-3	0	0	1	1
	MF	0	1	-	-
	MD	-	-	0	1
出力信号	VSH1-3	0	V51	0	V52
	VSL1-3	0	V51	V53	V51

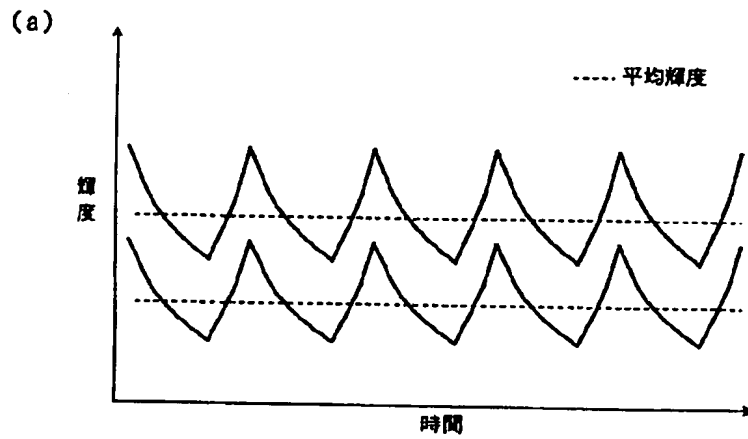
【図16】

図16

FFS	1			
MX	0		1	
D	0	1	0	1
D'	0	1	1	0
選択電圧	V0	V1-V7	V1-V7	V0

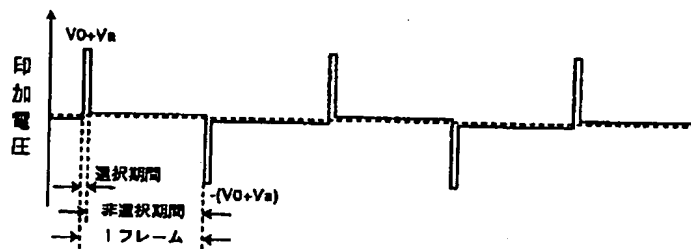
【図2】

図2



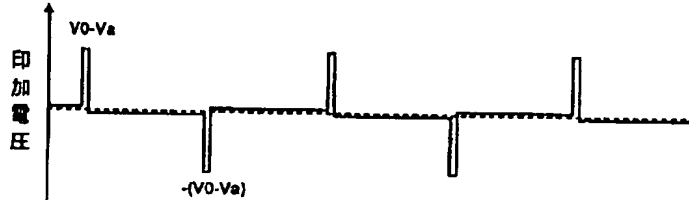
(b)

(オン波形)



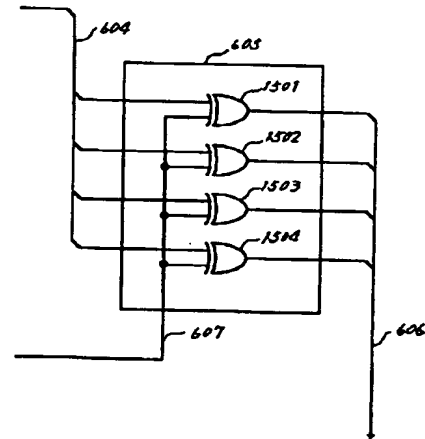
(c)

(オフ波形)



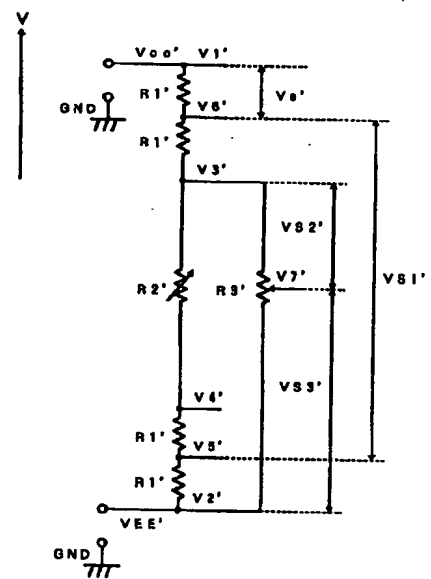
【図13】

図13



【図19】

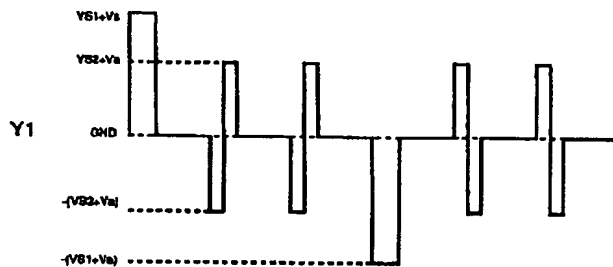
図19



【図3】

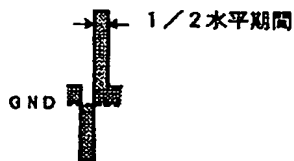
図3

(a)



(b)

(交流補間パルスの場合)



Dがハイの場合



Dがロウの場合

(c)

(直流補間パルスの場合)



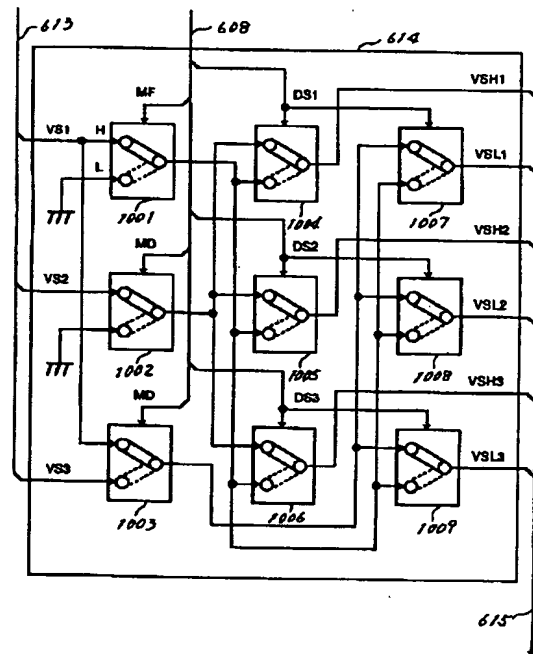
Dがハイの場合



Dがロウの場合

【図8】

図8



【図15】

図15

DS1-S	0				1			
Y1M-Y3M	0		1		0		1	
Y1D	0	1	0	1	0	1	0	1
Y1	0	-(VS1+Vs)	0	VS1+Vs	0	-(VS2+Vs)	0	VS2+Vs

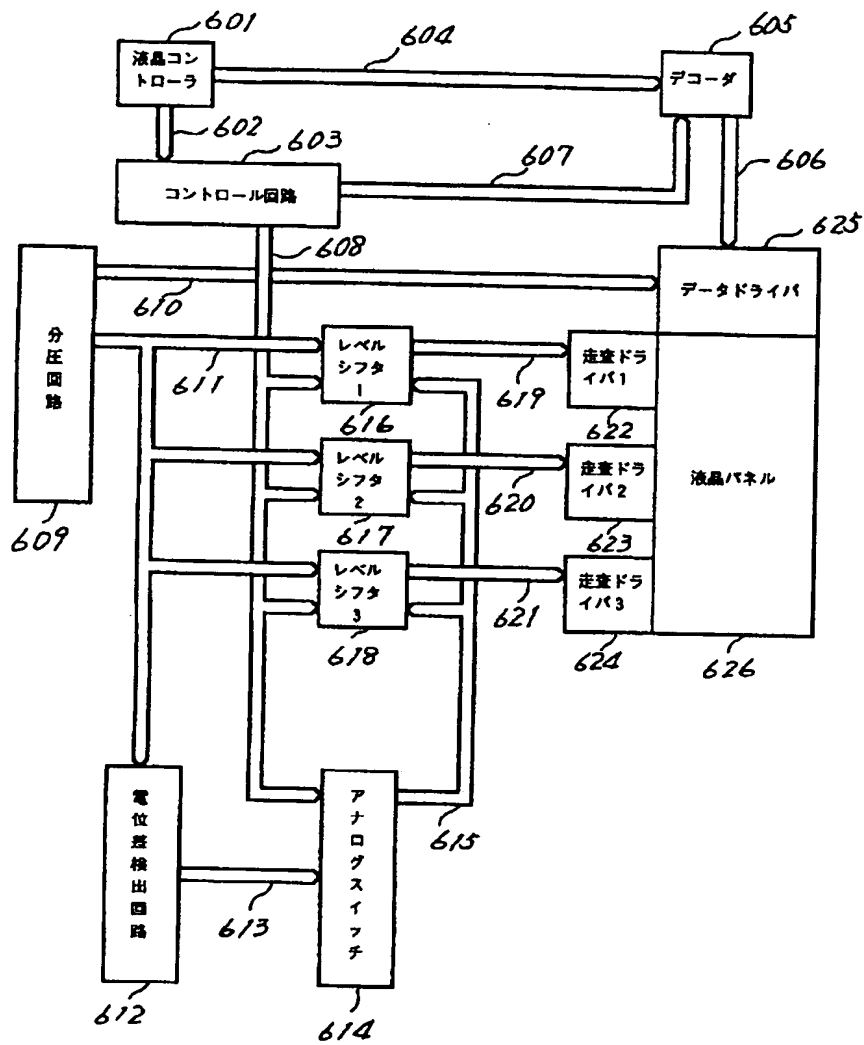
【図22】

図22

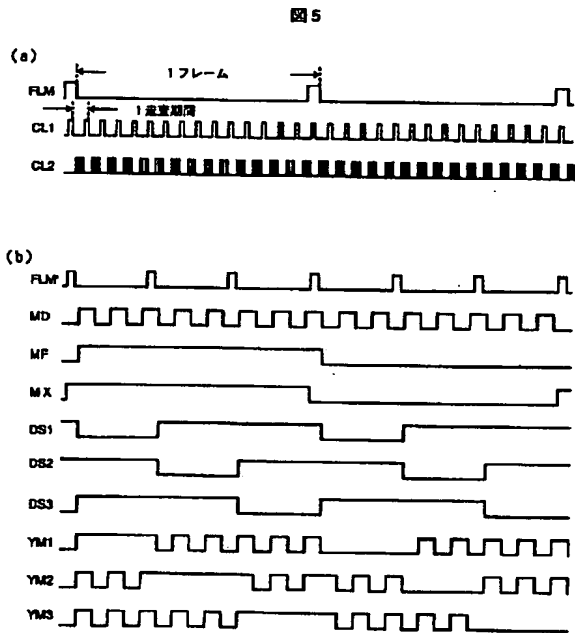
制御信号	DS1-S	0				1			
	MF	0		1		0		1	
出力信号	MD	0	1	0	1	0	1	0	1
	VS1H1-S	0	0	0	0	VS2	0	-VS1	-VS3
出力信号	VS1L1-S	0	0	0	0	VS1	VS2	-VS2	0

【図4】

図4

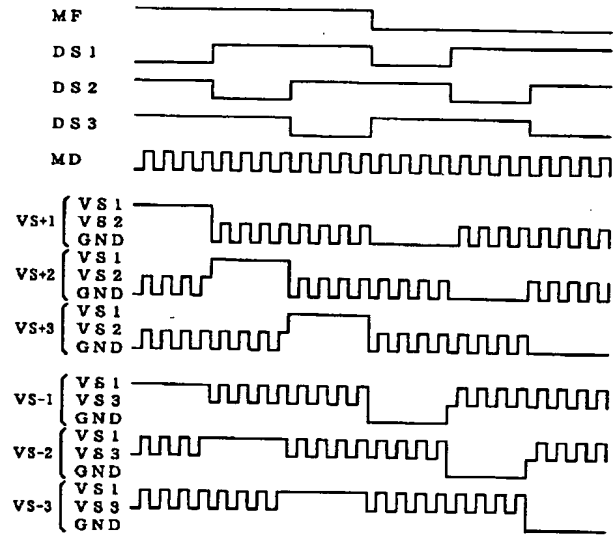


【図5】

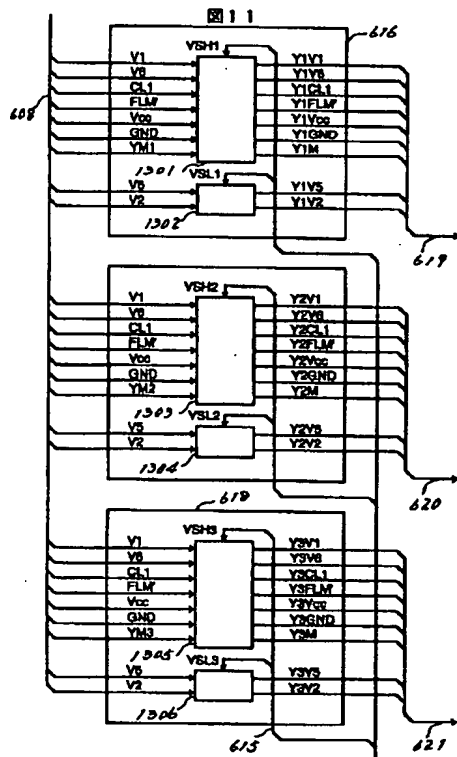


【図10】

図10

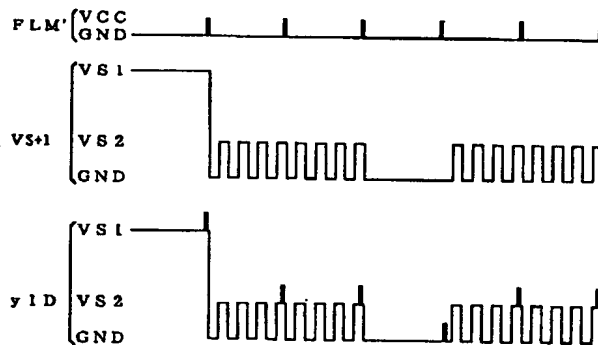


【図11】



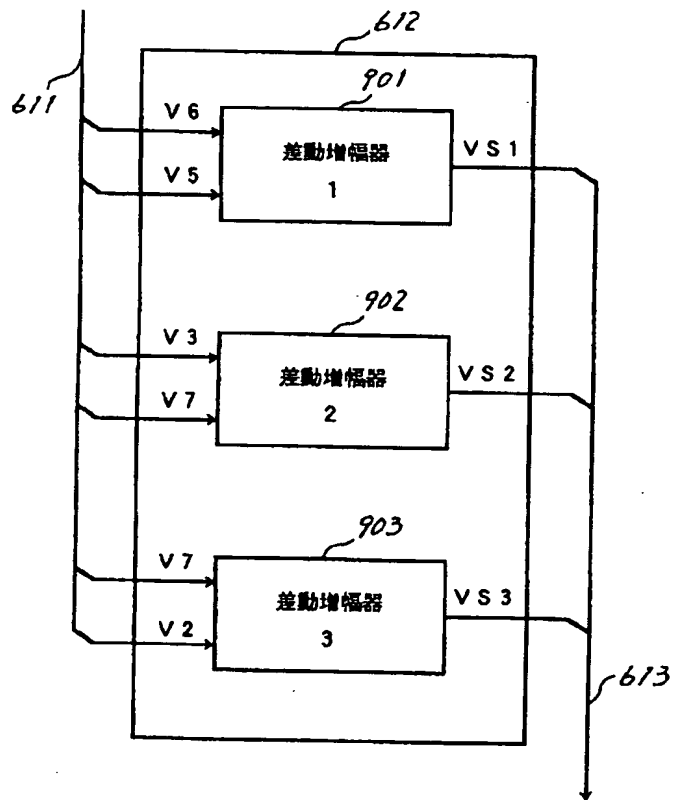
【図12】

図12



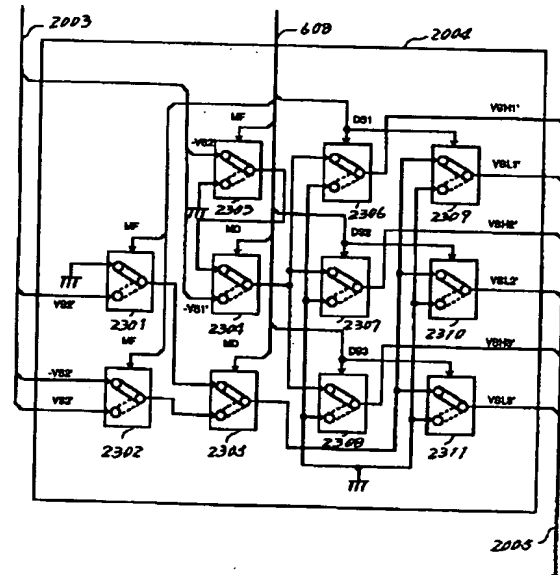
【図7】

図7



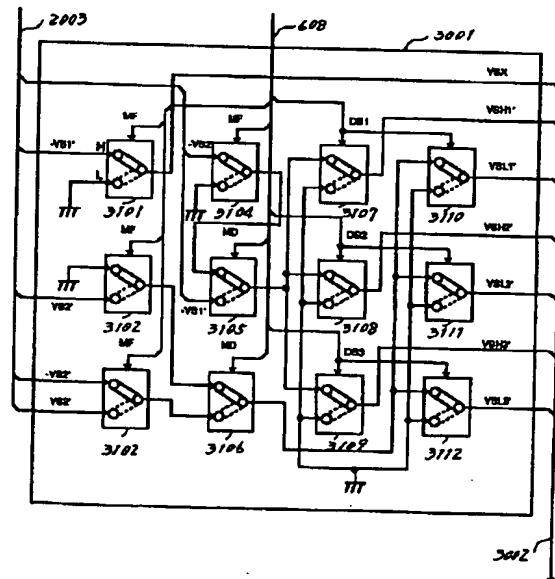
【図21】

図21



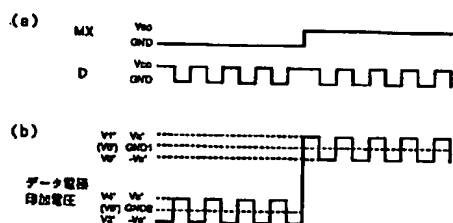
【図29】

図29



【図26】

図26



【図 30】

30

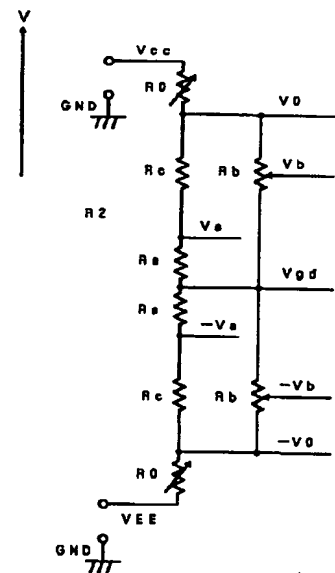
制 御 信 号	DS1-3	0				1			
	MF	0		1		0		1	
	MD	0	1	0	1	0	1	0	1
出 力 信 号	VS11-3'	0	0	0	0	VS2'	0	-VS1'	-VS3'
	VS11-3'	0	0	0	0	VS1'	VS3'	-VS2'	0
	VSX	0	0	-VS1'	-VS3'	0	0	-VS1'	-VS1'

圖 3 7

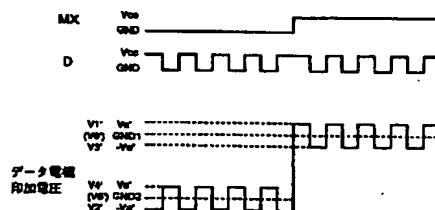
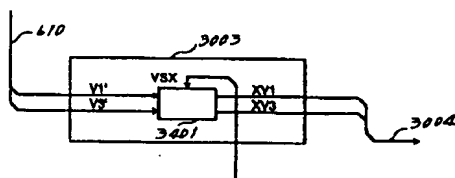
The diagram shows a waveform for Y1. The vertical axis has levels: $VS1+Va$, $VS2+Va$, GND, $-(VS2+Va)$, and $-(VS1+Va)$. The waveform consists of a series of pulses. A horizontal double-headed arrow labeled "1 フレーム" (1 frame) spans from the start of the first pulse to the start of the next frame. A shorter horizontal double-headed arrow labeled "1 水平期間" (1 horizontal period) spans the width of one pulse. At the bottom, two horizontal double-headed arrows are shown: "走査駆動期間" (Scanning drive period) for the first pulse and "消光駆動期間" (Blanking drive period) for the interval between pulses.

【图 3 3】

3 3



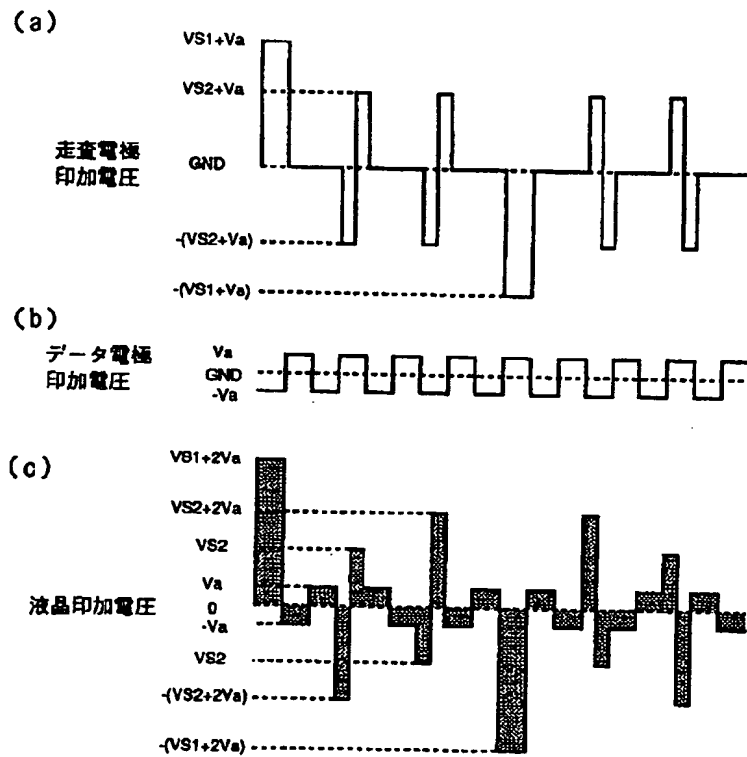
40



D20 -D23	D10 -D13	D00 -D03	選択レベル	設定電圧
0	0	0	V0	V _{gd}
0	0	1	V1	
0	1	0	V2	
0	1	1	V3	
1	0	0	V4	-V _D
1	0	1	V5	V _D
1	1	0	V6	-V _b
1	1	1	V7	V _b

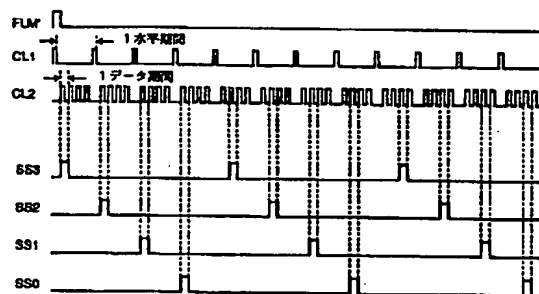
【図17】

図17



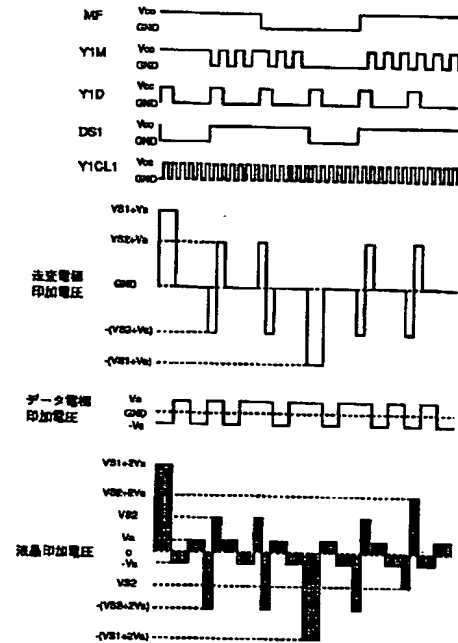
【図38】

図38



【図34】

図34



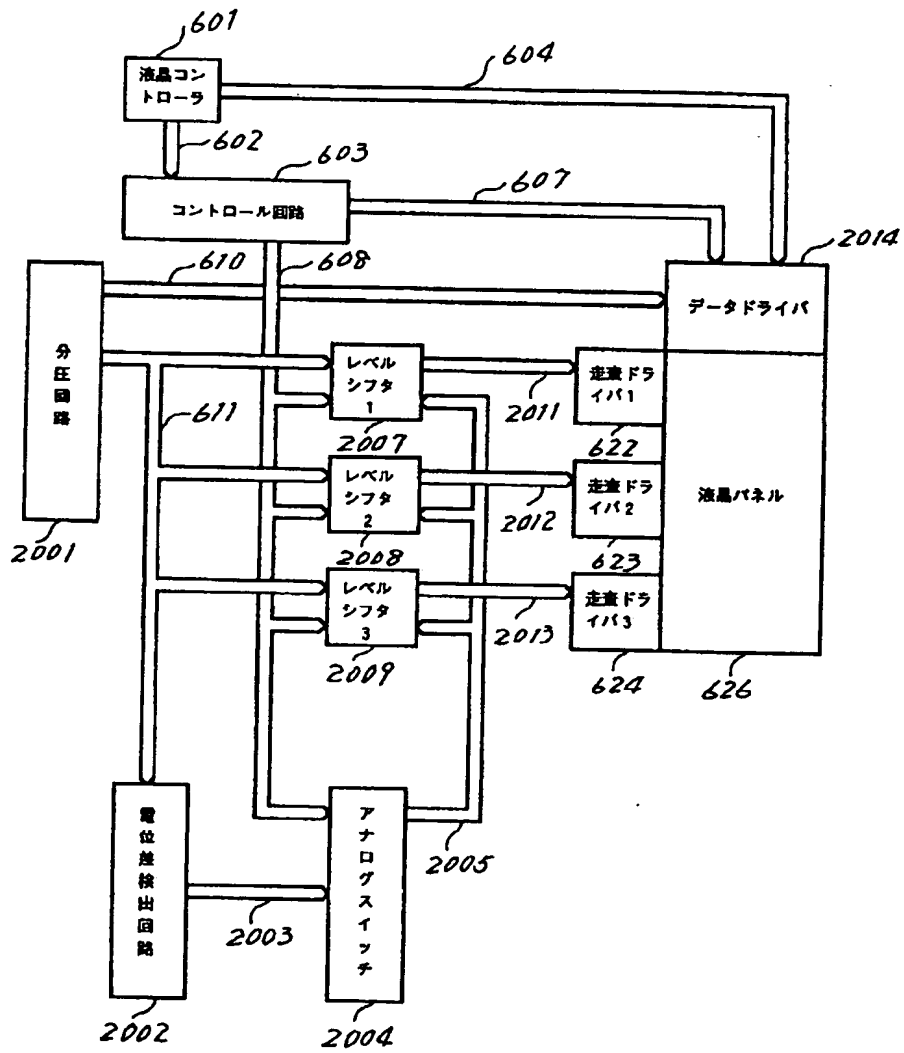
【図39】

図39

	走査 ドライバ 1	走査 ドライバ 2	走査 ドライバ 3
D00			
D01	YM1	YM2	YM3
D02			
D03			
D10			
D11	DS1	DS2	DS3
D12			
D13			
D20	SS0	SS0	SS0
D21	SS1	SS1	SS1
D22	SS2	SS2	SS2
D23	SS3	SS3	SS3

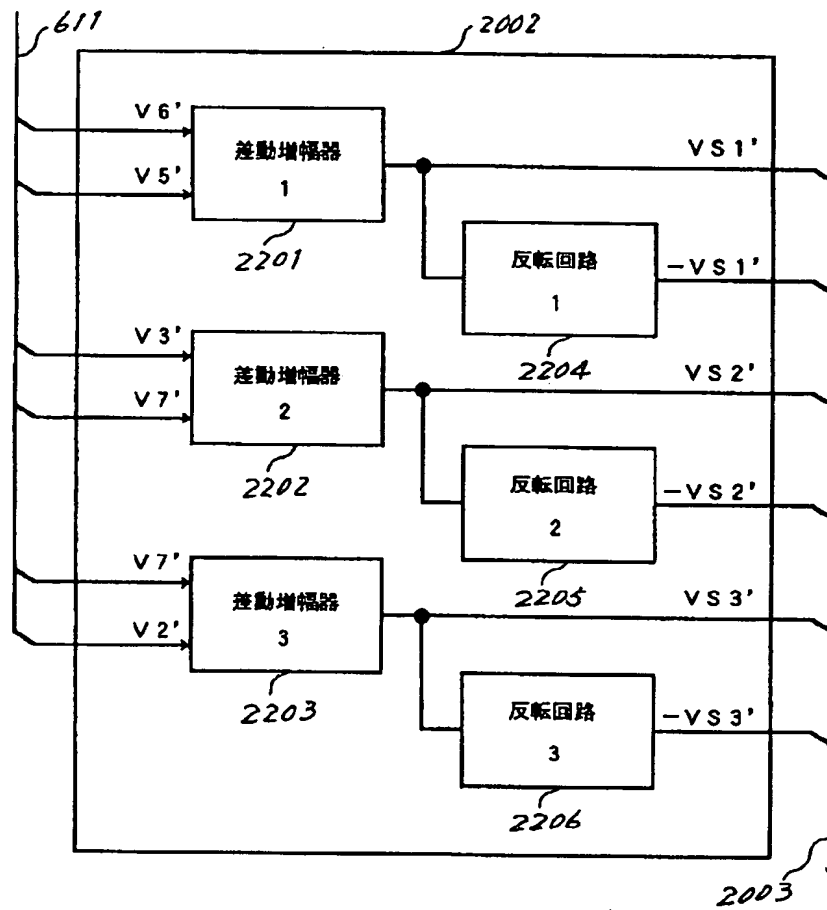
【図18】

図18



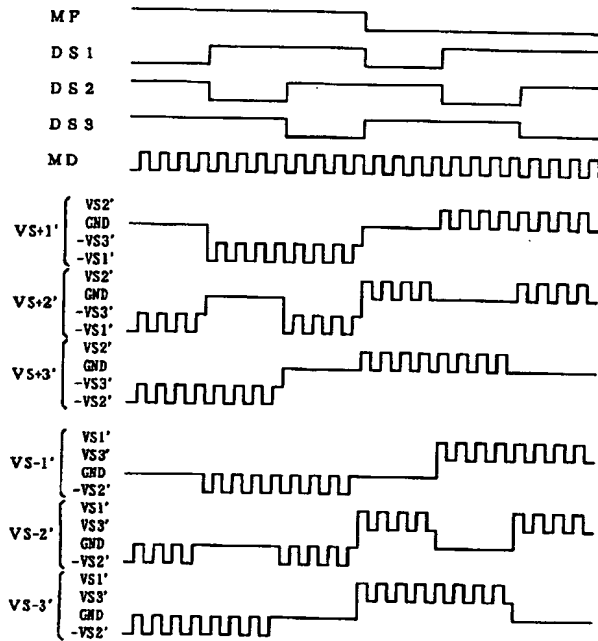
【図20】

図20



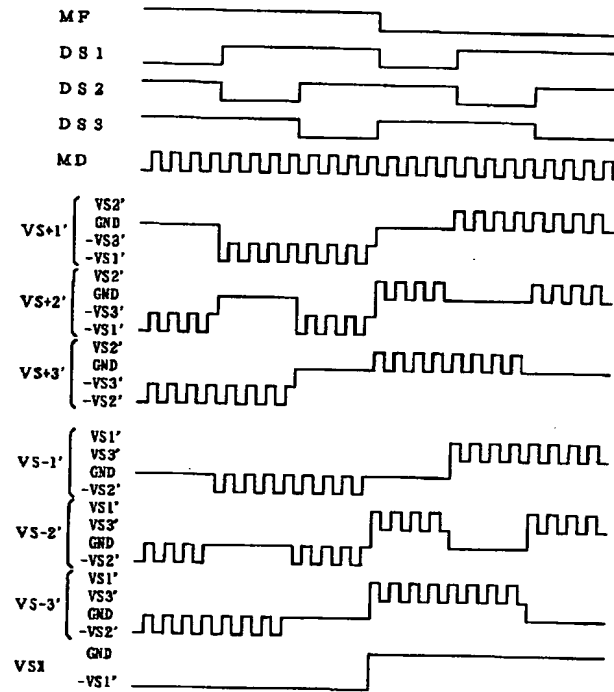
【図23】

図 23



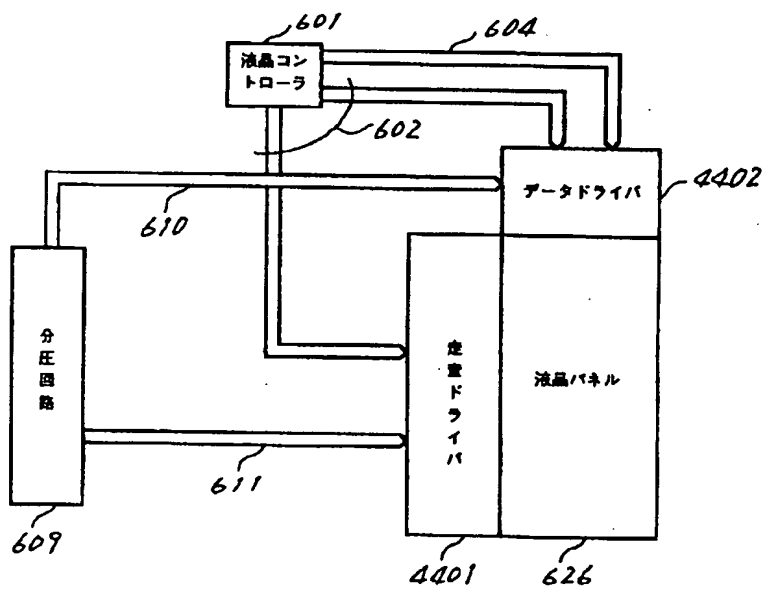
【図31】

図 31



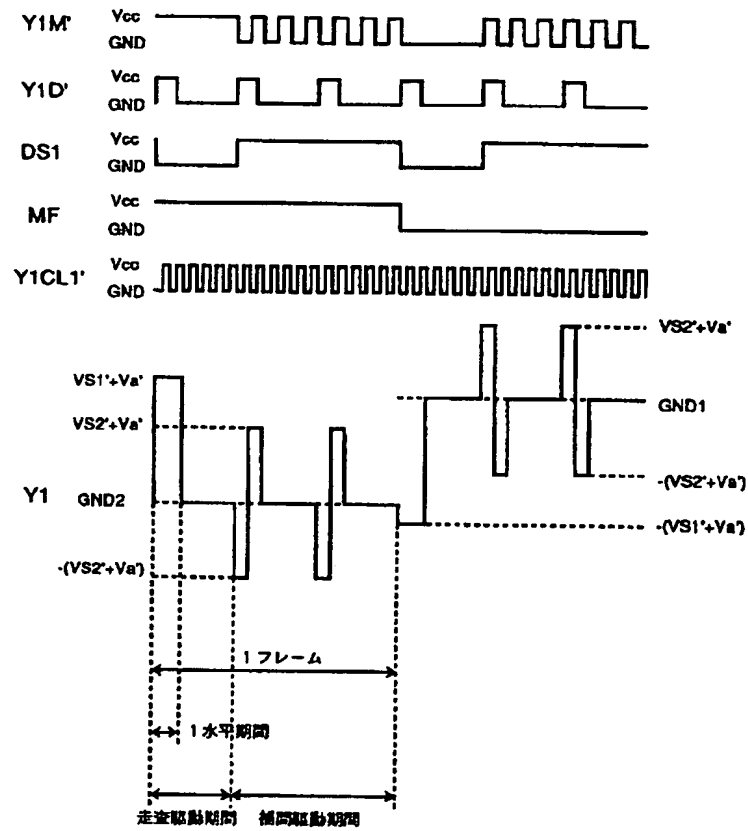
【図42】

図 4 2



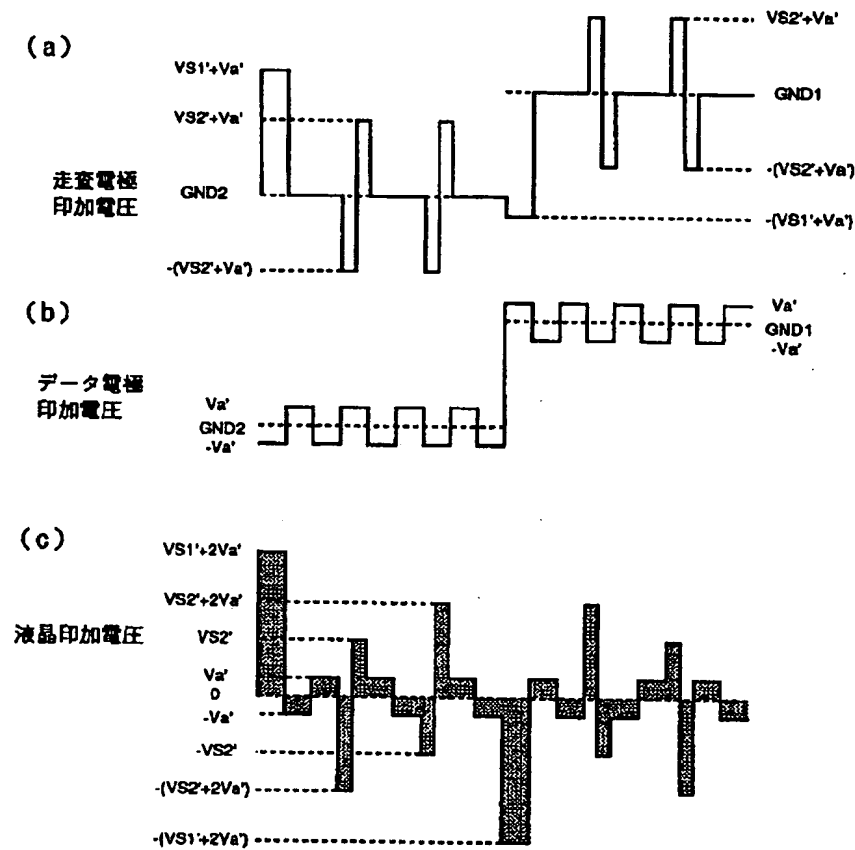
【図24】

図24



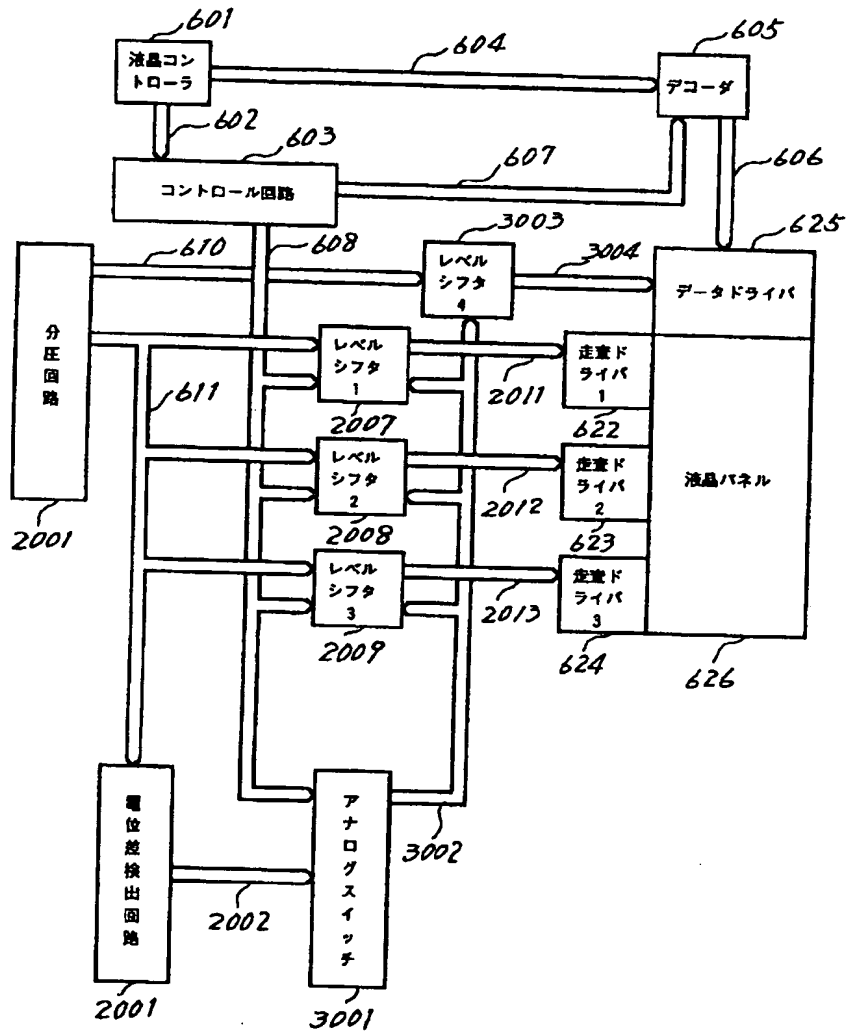
【図 27】

図 27



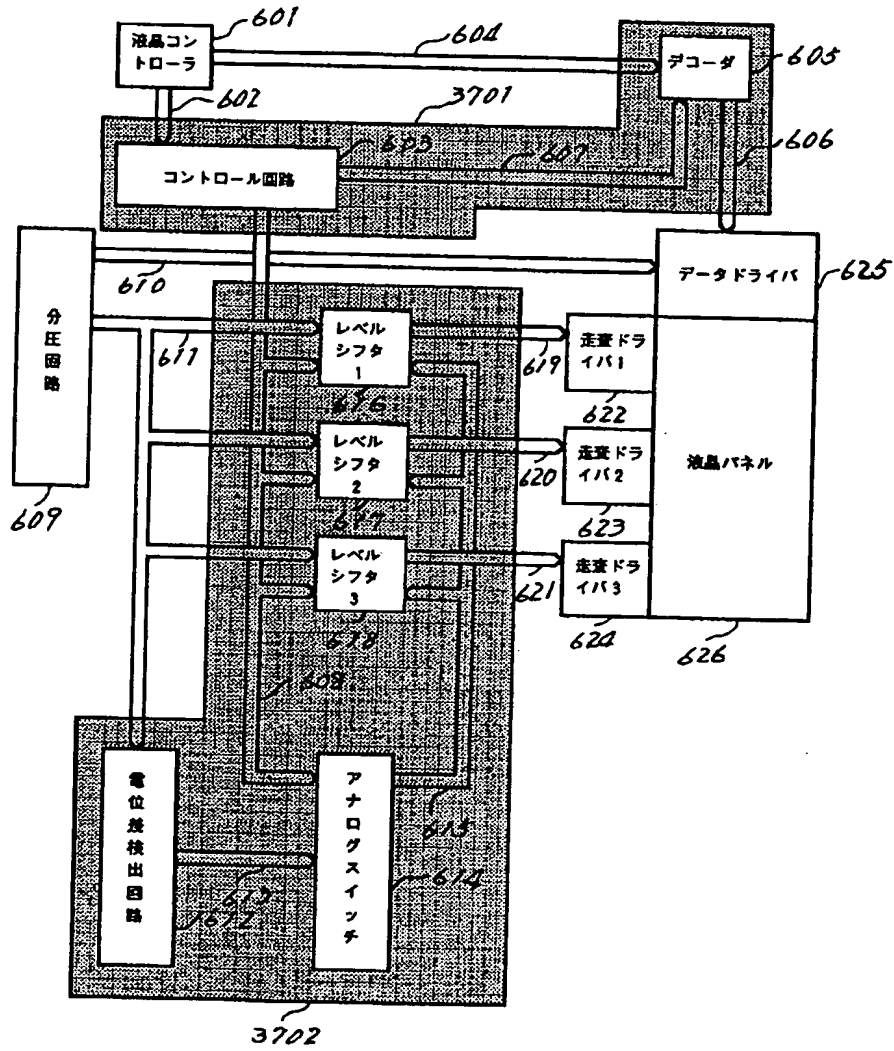
【図28】

図28



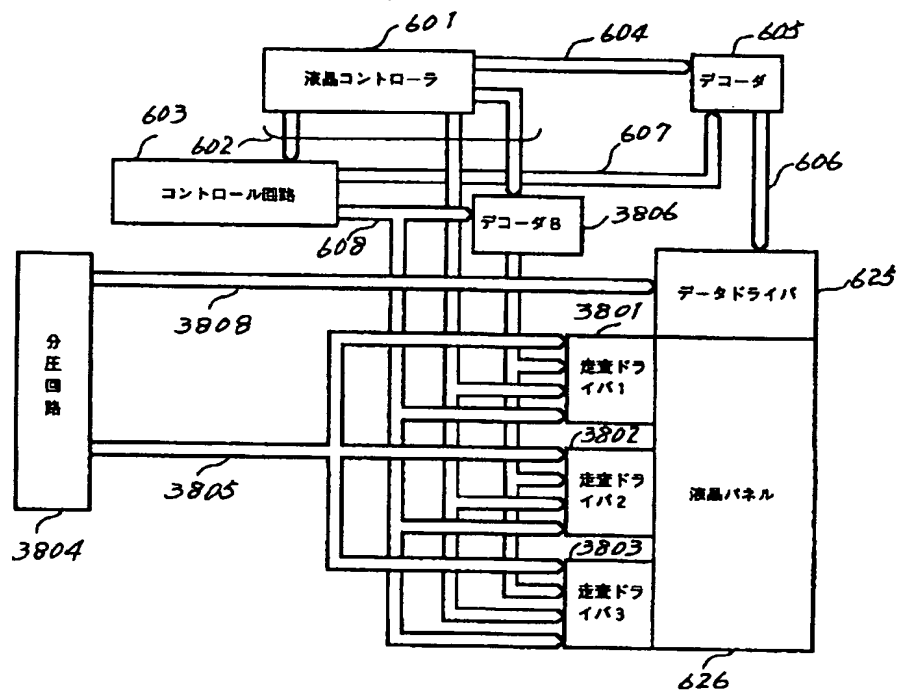
【図35】

図35



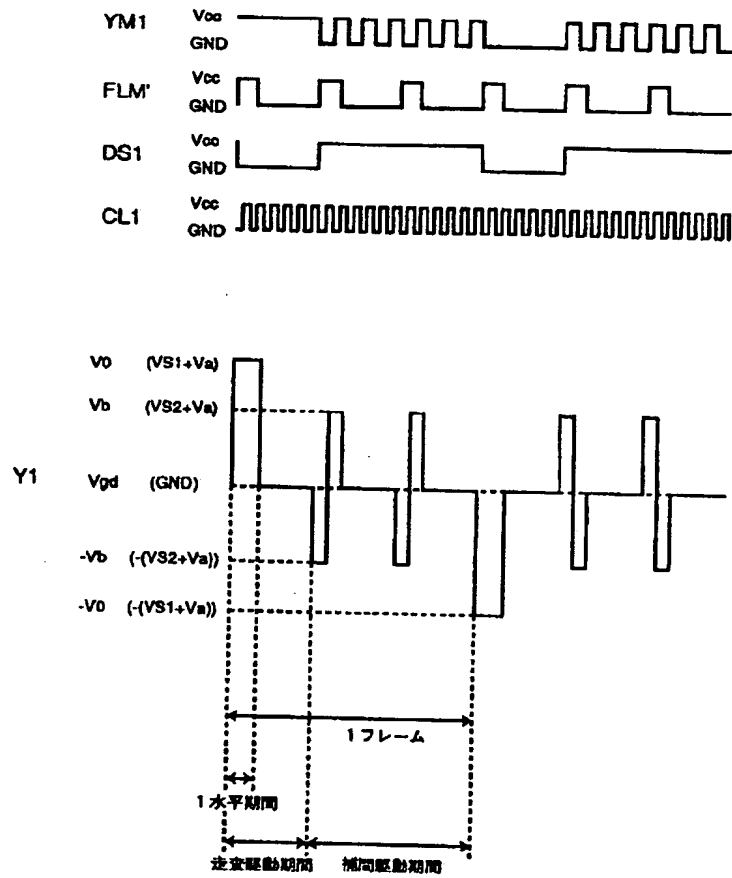
【図 36】

図 36



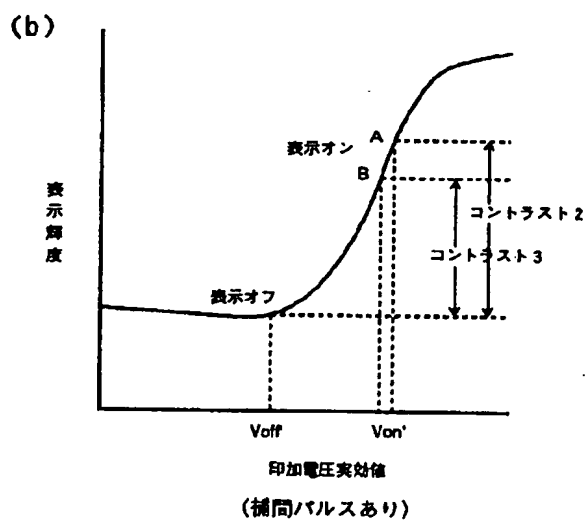
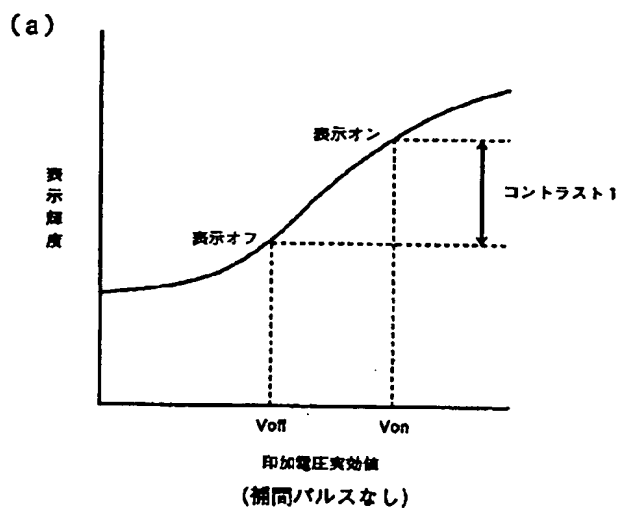
【図41】

図41



【図43】

図43



フロントページの続き

(72)発明者 宮田 淳一
千葉県茂原市早野3681番地日立デバイスエ
ンジニアリング株式会社内

(72)発明者 犬塚 達裕
神奈川県横浜市戸塚区吉田町292番地株式
会社日立画像情報システム内

(72)発明者 古橋 勉
神奈川県川崎市麻生区王禅時1099番地株式
会社日立製作所システム開発研究所内

(72)発明者 二見 利男
千葉県茂原市早野3300番地株式会社日立製
作所電子デバイス事業部内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.